

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: Satoshi OTSUKA

Serial Number: Not Yet Assigned

Filed: April 5, 2004

For: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

Attorney Docket No.: 042322

Customer No.: 38834

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

April 5, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

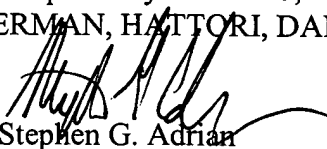
**Japanese Appln. No. 2003-372304, filed on October 31, 2003**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

  
Stephen G. Adrian  
Reg. No. 32,878

1250 Connecticut Avenue, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SGA/II

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年10月31日

出願番号  
Application Number: 特願2003-372304  
[ST. 10/C]: [JP 2003-372304]

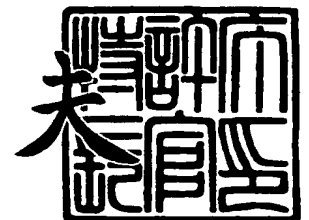
出願人  
Applicant(s): 富士通株式会社



2003年12月19日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



出証番号 出証特2003-3105456

【書類名】 特許願  
【整理番号】 0340845  
【提出日】 平成15年10月31日  
【あて先】 特許庁長官殿  
【国際特許分類】 H01L 21/768  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
                                内  
    【氏名】 大塚 敏志  
【特許出願人】  
    【識別番号】 000005223  
    【氏名又は名称】 富士通株式会社  
【代理人】  
    【識別番号】 100087479  
    【弁理士】  
    【氏名又は名称】 北野 好人  
【選任した代理人】  
    【識別番号】 100114915  
    【弁理士】  
    【氏名又は名称】 三村 治彦  
【手数料の表示】  
    【予納台帳番号】 003300  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0012600

**【書類名】 特許請求の範囲****【請求項 1】**

基板上に形成され、第 1 の低誘電率膜と、前記第 1 の低誘電率膜上に形成された親水性絶縁膜とを有する第 1 の層間絶縁膜と、

前記第 1 の層間絶縁膜に形成された第 1 の配線溝内に埋め込まれ、最小の配線ピッチが第 1 のピッチである第 1 の配線層と、

前記第 1 の層間絶縁膜上に形成され、第 2 の低誘電率膜を有する第 2 の層間絶縁膜と、

前記第 2 の層間絶縁膜に形成された第 2 の配線溝内に埋め込まれ、最小の配線ピッチが前記第 1 のピッチよりも広い第 2 のピッチである第 2 の配線層と、

前記第 2 の低誘電率膜及び前記第 2 の配線層上に直に形成された拡散防止膜とを有することを特徴とする半導体装置。

**【請求項 2】**

請求項 1 記載の半導体装置において、

前記第 2 の層間絶縁膜上に形成され、前記第 1 の低誘電率膜及び前記第 2 の低誘電率膜よりも誘電率の高い絶縁膜を有する第 3 の層間絶縁膜と、

前記第 3 の層間絶縁膜に形成された第 3 の配線溝内に埋め込まれ、最小の配線ピッチが前記第 1 のピッチ及び前記第 2 のピッチよりも広い第 3 のピッチである第 3 の配線層とを更に有する

ことを特徴とする半導体装置。

**【請求項 3】**

請求項 1 又は 2 記載の半導体装置において、

前記親水性絶縁膜及び前記第 1 の配線層上に直に形成された拡散防止膜を更に有することを特徴とする半導体装置。

**【請求項 4】**

請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置において、

前記第 2 のピッチは、前記第 1 のピッチの 1.5 倍以上である

ことを特徴とする半導体装置。

**【請求項 5】**

基板上に形成され、最小の配線ピッチが第 1 のピッチである複数の配線層を含む第 1 の多層配線層と、

前記第 1 の多層配線層上に形成され、最小の配線ピッチが前記第 1 のピッチよりも広い第 2 のピッチである複数の配線層を含む第 2 の多層配線層とを有する半導体装置であって、

前記第 1 の多層配線層を構成する前記複数の配線層のうちの少なくとも 1 層は、第 1 の低誘電率膜と、前記第 1 の低誘電率膜上に形成された親水性絶縁膜とを有する第 1 の層間絶縁膜に形成された開口部に埋め込まれており、

前記第 2 の多層配線層を構成する前記複数の配線層のそれぞれは、拡散防止膜と、前記拡散防止膜上に形成された第 2 の低誘電率膜とを有する第 2 の層間絶縁膜に形成された開口部に埋め込まれており、

一の前記第 2 の層間絶縁膜の前記第 2 の低誘電率膜上に、他の前記第 2 の層間絶縁膜の前記拡散防止膜が直に形成されている

ことを特徴とする半導体装置。

**【請求項 6】**

基板上に、第 1 の低誘電率膜と、前記第 1 の低誘電率膜上に形成された第 1 の親水性絶縁膜とを有する第 1 の層間絶縁膜を形成する工程と、

前記第 1 の層間絶縁膜に、第 1 の配線溝を形成する工程と、

前記第 1 の配線溝が形成された前記第 1 の層間絶縁膜上に第 1 の導電体膜を形成する工程と、

前記第 1 の導電体膜を研磨することにより、前記第 1 の親水性絶縁膜を露出するとともに、前記第 1 の配線溝内に前記第 1 の導電体膜を埋め込み、最小の配線ピッチが第 1 のピ

ッチである第 1 の配線層を形成する工程と、

前記第 1 の層間絶縁膜上に、第 2 の低誘電率膜を有する第 2 の層間絶縁膜を形成する工程と、

前記第 2 の層間絶縁膜に、第 2 の配線溝を形成する工程と、

前記第 2 の配線溝が形成された前記第 2 の層間絶縁膜上に、第 2 の導電体膜を形成する工程と、

前記第 2 の導電体膜を研磨することにより、前記第 2 の低誘電率膜を露出するとともに、前記第 2 の配線溝内に前記第 2 の導電体膜を埋め込み、最小の配線ピッチが前記第 1 のピッチよりも広い第 2 のピッチである第 2 の配線層を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、

前記第 2 の配線層を形成する工程の後に、前記第 2 の低誘電率膜及び前記第 2 の配線層上に、拡散防止膜を直に形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 6 又は 7 記載の半導体装置の製造方法において、

前記第 1 の導電体膜を形成する工程では、バリアメタル層と、前記バリアメタル層上に形成された金属膜とを有する前記第 1 の導電体膜を形成し、

前記第 1 の配線層を形成する工程では、前記バリアメタル層に対して選択的に前記金属膜を研磨し、前記バリアメタル層の表面で研磨を停止し、次いで、前記バリアメタル層を研磨することにより、前記第 1 の親水性絶縁膜を露出する

ことを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 6 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法において、

前記第 2 の層間絶縁膜を形成する工程は、前記第 2 の低誘電率膜上に第 2 の親水性絶縁膜を形成する工程を有し、

前記第 2 の配線層を形成する工程では、前記第 2 の導電体膜及び前記第 2 の親水性絶縁膜を研磨することにより、前記第 2 の低誘電率膜を露出する

ことを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 9 記載の半導体装置の製造方法において、

前記第 2 の導電体膜を形成する工程では、バリアメタル層と、前記バリアメタル層上に形成された金属膜とを有する前記第 2 の導電体膜を形成し、

前記第 2 の配線層を形成する工程では、前記バリアメタル層に対して選択的に前記金属膜を研磨し、前記バリアメタル層の表面で研磨を停止し、次いで、前記バリアメタル層と前記第 2 の親水性絶縁膜とを研磨することにより、前記第 2 の低誘電率膜を露出する

ことを特徴とする半導体装置の製造方法。

## 【書類名】明細書

## 【発明の名称】半導体装置及びその製造方法

## 【技術分野】

## 【0001】

本発明は、多層配線構造を有する半導体装置及びその製造方法に係り、特に、層間絶縁膜に低誘電率（low-k）膜を用いた多層配線構造を有する半導体装置及びその製造方法に関する。

## 【背景技術】

## 【0002】

近時の半導体装置の微細化の進展により、半導体装置における配線抵抗の低減と配線容量の低減とが要請されている。

## 【0003】

かかる要請に応えるため、配線の主材料は、Al（アルミニウム）から、より比抵抗が低く、エレクトロマイグレーション特性にも優れたCu（銅）へと移行しつつある。配線の主材料のCuへの移行に伴い、配線の形成プロセスは、配線材料を堆積した後にリソグラフィ及びRIE（Reactive Ion Etching）等のドライエッチングを用いてパターンニングする手法から、いわゆるダマシンプロセスと呼ばれる手法へと移行しつつある。ダマシンプロセスでは、層間絶縁膜に溝パターンやホールパターンを形成した後、この溝やホールに配線材料が埋め込まれる。配線材料のCuへの移行に伴い、形成プロセスがダマシンプロセスへと移行しつつあるのは、Alと異なり、CuはRIEにより加工することが困難なためである。

## 【0004】

また、これまで配線間を絶縁する層間絶縁膜材料としては、SiO<sub>2</sub>、FSG（Fluorinated Silicate Glass）等が用いられていた。

## 【0005】

近時の微細化による配線遅延の対策として、配線抵抗と配線容量の低減が求められているが、配線抵抗については、Cuを主材料とする配線から更に抵抗を下げることは困難である。このため、層間絶縁膜として、シリコン酸化膜やシリコン窒化膜より誘電率の低い低誘電率（low-k）膜を用いて配線容量を低減することが検討されている。

## 【0006】

ところで、半導体素子の微細化の進展により、チップに搭載されるトランジスタ数は増加の一途を辿り100M個にもなる。これらを接続し、また電源の供給を行うための配線層には様々な機能が要求される。すなわち、電源線は、電圧降下を小さく抑えるため低抵抗な配線であることが要求される。また、短距離間を接続する配線は、回路密度を上げるため微細な配線であることが要求される。また、回路ブロック間を接続する配線には、細密配線よりも低抵抗で上層配線よりも微細なピッチであることが要求される。

## 【0007】

これら配線層に対する種々の要求を満たすため、半導体装置における多層配線構造では、微細なピッチを形成することが可能な下層配線、回路ブロック間の配線に使用する中間層配線、電源配線やクロック配線等に使用する上層配線というように、機能別に分けた複数層の配線層をそれぞれ組み合わせることが行われている。

## 【0008】

図17は、従来の多層配線構造を有する半導体装置の構造示す断面図である。

## 【0009】

シリコン基板300上には、素子領域を画定する素子分離膜302が形成されている。シリコン基板300の素子領域には、ゲート電極304及びソース／ドレイン拡散層306を有するMOSトランジスタが形成されている。

## 【0010】

MOSトランジスタが形成されたシリコン基板300上には、コンタクトプラグ308が埋め込まれた層間絶縁膜310が形成されている。

**【0011】**

コンタクトプラグ308が埋め込まれた層間絶縁膜310上には、シリコン窒化膜とシリコン酸化膜又はFSG膜とが順次積層されてなる層間絶縁膜312が形成されている。層間絶縁膜312のコンタクトプラグ308を含む領域内には、Ta（タンタル）膜よりなるバリアメタル層とCu（銅）膜とを有し、コンタクトプラグ308に接続する配線層314aが埋め込まれている。また、層間絶縁膜312の他の領域内には、タンタル膜よりなるバリアメタル層とCu膜とを有する配線層314bが埋め込まれている。

**【0012】**

配線層314a、314bが埋め込まれた層間絶縁膜312上には、シリコン窒化膜とシリコン酸化膜又はFSG膜とが順次積層されてなる層間絶縁膜316が形成されている。層間絶縁膜316上には、シリコン窒化膜とシリコン酸化膜又はFSG膜とが順次積層されてなる層間絶縁膜318が形成されている。層間絶縁膜316、318の配線層314a上の領域内には、タンタル膜よりなるバリアメタル層とCu膜とを有し、層間絶縁膜316内にビア部が埋め込まれ、層間絶縁膜318内に配線部が埋め込まれ、配線層314aに接続する配線層320aが埋め込まれている。層間絶縁膜318の配線層314b上の領域内には、タンタル膜よりなるバリアメタル層とCu膜とを有する配線層320bが埋め込まれている。

**【0013】**

配線層320a、320bが埋め込まれた配線層318上には、シリコン窒化膜とシリコン酸化膜又はFSG膜とが順次積層されてなる層間絶縁膜322が形成されている。層間絶縁膜322上には、シリコン窒化膜とシリコン酸化膜又はFSG膜とが順次積層されてなる層間絶縁膜324が形成されている。層間絶縁膜322、324の配線層320a上の領域内には、タンタル膜よりなるバリアメタル層とCu膜とを有し、層間絶縁膜322内にビア部が埋め込まれ、層間絶縁膜324内に配線部が埋め込まれ、配線層320aに接続する配線層326aが埋め込まれている。層間絶縁膜324の配線層320b上の領域内には、タンタル膜よりなるバリアメタル層とCu膜とを有する配線層326bが埋め込まれている。

**【0014】**

配線層326a、326bが埋め込まれた配線層324上には、シリコン窒化膜とシリコン酸化膜又はFSG膜とが順次積層されてなる層間絶縁膜328が形成されている。層間絶縁膜328上には、シリコン窒化膜とシリコン酸化膜又はFSG膜とが順次積層されてなる層間絶縁膜330が形成されている。層間絶縁膜328、330の配線層326a上の領域内には、タンタル膜よりなるバリアメタル層とCu膜とを有し、層間絶縁膜328内にビア部が埋め込まれ、層間絶縁膜330内に配線部が埋め込まれ、配線層326aに接続する配線層332aが埋め込まれている。層間絶縁膜330の配線層326b上の領域内には、タンタル膜よりなるバリアメタル層とCu膜とを有する配線層332bが埋め込まれている。

**【0015】**

こうして、シリコン基板300上に、配線層314a、314b、配線層320a、320b、配線層326a、326b、配線層332a、332bよりなる4層の多層配線構造を有する下層配線部が形成されている。

**【0016】**

配線層332a、332bが埋め込まれた配線層330上には、シリコン窒化膜とシリコン酸化膜又はFSG膜とが順次積層されてなる層間絶縁膜334が形成されている。層間絶縁膜334上には、シリコン窒化膜とシリコン酸化膜又はFSG膜とが順次積層されてなる層間絶縁膜336が形成されている。層間絶縁膜334、336の配線層332a上の領域内には、タンタル膜よりなるバリアメタル層とCu膜とを有し、層間絶縁膜334内にビア部が埋め込まれ、層間絶縁膜336内に配線部が埋め込まれ、配線層332aに接続する配線層338aが埋め込まれている。層間絶縁膜336の配線層332b上の領域内には、タンタル膜よりなるバリアメタル層とCu膜とを有する配線層338bが埋め込まれている。

め込まれている。

【0017】

配線層 338a、338b が埋め込まれた配線層 336 上には、シリコン窒化膜とシリコン酸化膜又は FSG 膜とが順次積層されてなる層間絶縁膜 340 が形成されている。層間絶縁膜 340 上には、シリコン窒化膜とシリコン酸化膜又は FSG 膜とが順次積層されてなる層間絶縁膜 342 が形成されている。層間絶縁膜 340、342 の配線層 338a 上の領域内には、タンタル膜よりなるバリアメタル層と Cu 膜とを有し、層間絶縁膜 340 内にビア部が埋め込まれ、層間絶縁膜 342 内に配線部が埋め込まれ、配線層 338a に接続する配線層 344a が埋め込まれている。層間絶縁膜 342 の配線層 338b 上の領域内には、タンタル膜よりなるバリアメタル層と Cu 膜とを有する配線層 344b が埋め込まれている。

【0018】

こうして、下層配線部上に、下層配線部における配線層 314a、314b、配線層 320a、320b、配線層 326a、326b、配線層 332a、332b よりも広いピッチの配線パターンを有する配線層 338a、338b、配線層 344a、344b よりなる 2 層の多層配線構造を有する上層配線部が形成されている。

【0019】

配線層 344a、344b が埋め込まれた層間絶縁膜 342 上には、シリコン窒化膜とシリコン酸化膜とが順次積層されてなる層間絶縁膜 218 が形成されている。層間絶縁膜 346 内には、コンタクトプラグ 348 が埋め込まれている。

【0020】

層間絶縁膜 346 のコンタクトプラグ 348 を含む領域上には、コンタクトプラグ 348 を介して配線層 344a に接続する電極 350 が形成されている。

【0021】

電極 350 が形成された層間絶縁膜 346 上には、シリコン酸化膜 352a と、シリコン窒化膜 352b とが順次積層されてなるカバー膜 352 が形成されている。カバー膜 352 には、電極 350 に達する開口部 354 が形成されている。

【特許文献 1】特開 2001-298084 号公報

【発明の開示】

【発明が解決しようとする課題】

【0022】

上述のように、配線層を機能別に分けた場合、各配線層の構造についても、要求される特性に応じて変化してくる。

【0023】

例えば、下層配線は、狭いピッチで形成され、配線容量を低減するために配線層の厚さが薄くされている。さらに、配線容量を低減するには、層間絶縁膜材料に low-k 材料を用いる必要が出てきた。

【0024】

一方、上層配線では、厚膜の配線を形成するために配線ピッチが広げられている。この層では配線容量は問題とならないため、層間絶縁膜としてシリコン酸化膜を用いることができる。

【0025】

また、中間層配線には、上記の下層配線と上層配線との中間の特性が求められる。このとき、中間層配線は、回路ブロック間を接続するため下層配線よりも配線長が長くなるので、その抵抗はより低く抑える必要がある。このため、下層配線より配線の厚さは厚くなり、配線のピッチは広くなる。また配線が厚くなることによる配線容量の増加を抑えるため、層間絶縁膜材料に low-k 材料を用いる必要がある。

【0026】

しかしながら、下層配線及び中間層配線において、配線容量を低減することを目的として、単に、シリコン酸化膜等に代えて low-k 膜を層間絶縁膜に用いた場合、配線に不



良が容易に発生するようになり歩留まりが低下する等の不都合が生じることがあった。

【0027】

本発明の目的は、多層配線構造における層間絶縁膜に low-k 膜を用いる場合において、配線の機能に応じて、不良の発生の抑制及び配線容量の低減を実現しうる半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0028】

上記目的は、基板上に形成され、第1の低誘電率膜と、前記第1の低誘電率膜上に形成された親水性絶縁膜とを有する第1の層間絶縁膜と、前記第1の層間絶縁膜に形成された第1の配線溝内に埋め込まれ、最小の配線ピッチが第1のピッチである第1の配線層と、前記第1の層間絶縁膜上に形成され、第2の低誘電率膜を有する第2の層間絶縁膜と、前記第2の層間絶縁膜に形成された第2の配線溝内に埋め込まれ、最小の配線ピッチが前記第1のピッチよりも広い第2のピッチである第2の配線層と、前記第2の低誘電率膜及び前記第2の配線層上に直に形成された拡散防止膜とを有することを特徴とする半導体装置により達成される。

【0029】

また、上記目的は、基板上に形成され、最小の配線ピッチが第1のピッチである複数の配線層を含む第1の多層配線層と、前記第1の多層配線層上に形成され、最小の配線ピッチが前記第1のピッチよりも広い第2のピッチである複数の配線層を含む第2の多層配線層とを有する半導体装置であって、前記第1の多層配線層を構成する前記複数の配線層のうちの少なくとも1層は、第1の低誘電率膜と、前記第1の低誘電率膜上に形成された親水性絶縁膜とを有する第1の層間絶縁膜に形成された開口部に埋め込まれており、前記第2の多層配線層を構成する前記複数の配線層のそれぞれは、拡散防止膜と、前記拡散防止膜上に形成された第2の低誘電率膜とを有する第2の層間絶縁膜に形成された開口部に埋め込まれており、一の前記第2の層間絶縁膜の前記第2の低誘電率膜上に、他の前記第2の層間絶縁膜の前記拡散防止膜が直に形成されていることを特徴とする半導体装置により達成される。

【0030】

また、上記目的は、基板上に、第1の低誘電率膜と、前記第1の低誘電率膜上に形成された第1の親水性絶縁膜とを有する第1の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜に、第1の配線溝を形成する工程と、前記第1の配線溝が形成された前記第1の層間絶縁膜上に第1の導電体膜を形成する工程と、前記第1の導電体膜を研磨することにより、前記第1の親水性絶縁膜を露出するとともに、前記第1の配線溝内に前記第1の導電体膜を埋め込み、最小の配線ピッチが第1のピッチである第1の配線層を形成する工程と、前記第1の層間絶縁膜上に、第2の低誘電率膜を有する第2の層間絶縁膜を形成する工程と、前記第2の層間絶縁膜に、第2の配線溝を形成する工程と、前記第2の配線溝が形成された前記第2の層間絶縁膜上に、第2の導電体膜を形成する工程と、前記第2の導電体膜を研磨することにより、前記第2の低誘電率膜を露出するとともに、前記第2の配線溝内に前記第2の導電体膜を埋め込み、最小の配線ピッチが前記第1のピッチよりも広い第2のピッチである第2の配線層を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【発明の効果】

【0031】

以上の通り、本発明によれば、基板上に形成され、第1の低誘電率膜と、第1の低誘電率膜上に形成された親水性絶縁膜とを有する第1の層間絶縁膜と、第1の層間絶縁膜に形成された第1の配線溝内に埋め込まれ、最小の配線ピッチが第1のピッチである第1の配線層と、第1の層間絶縁膜上に形成され、第2の低誘電率膜を有する第2の層間絶縁膜と、第2の層間絶縁膜に形成された第2の配線溝内に埋め込まれ、最小の配線ピッチが前記第1のピッチよりも広い第2のピッチである第2の配線層と、第2の低誘電率膜及び第2の配線層上に直に形成された拡散防止膜とを有するので、多層配線構造における層間絶縁

膜に低誘電率膜を用いる場合において、配線の機能に応じて、第1の配線層については不良の発生を抑制しつつ配線容量を低減する一方、第2の配線層については配線容量を十分に低減することができる。

【発明を実施するための最良の形態】

【0032】

半導体装置における配線容量を低減するため、上述のように、層間絶縁膜材料として low-k 材料の適用が検討されている。low-k 材料としては、SiOC、ダウ・ケミカル社製の SiLK（登録商標）、ハネウェル社製の FLARE（登録商標）等が知られている。かかる low-k 材料は、その大部分が撥水性のものとなっている。これは、次のような理由による。すなわち、水の比誘電率は 88 と高くなっている。このため、low-k 材料を用いて形成された膜が吸湿すると、膜の誘電率が上昇してしまう。このような吸湿による誘電率の上昇を抑制するため、low-k 材料は、Si-H、Si-CH<sub>3</sub> で終端され、親水性の Si-OH 結合が形成されないように処理されているためである。

【0033】

このように、low-k 材料は、吸湿による誘電率の上昇を抑制するため、水素終端化或いはメチル終端化等により撥水性となっている。本願発明者は、鋭意研究を重ねた結果、以下に述べるように、配線層の層間絶縁膜材料として low-k 材料を用いた場合、low-k 材料が撥水性となっていることが、歩留まりの低下の一因となっていることを明らかにした。

【0034】

短距離間を接続する下層配線は、狭いピッチで形成されるため、異物が付着することにより不良が発生する感度が高くなっている。このため、ダマシンプロセスにおける CMP（Chemical Mechanical Polishing）法による研磨後の洗浄で HF（弗酸）処理を追加し、異物をリフトオフする必要がある。しかしながら、層間絶縁膜材料に撥水性の low-k 膜を用い、ウエハ表面が撥水性となっていると、HF 処理を行っても異物をリフトオフにより除去することが困難となる。

【0035】

また、撥水性の low-k 膜によりウエハ表面が撥水性となっていると、洗浄乾燥後に残留した水滴によるウォータマークが発生し易くなる。このようなウォータマークは、配線を腐食して不良の発生を招き、歩留まり低下の原因となる。図1は、ウォータマークによる配線の腐食を示す SEM（Scanning Electron Microscope）写真である。

【0036】

本発明による半導体装置及びその製造方法は、かかる撥水性の low-k 膜を層間絶縁膜に用いた場合であっても、多層配線構造における配線層の機能に応じて、不良の発生を抑制及び配線容量の低減を実現するものである。

【0037】

以下、本発明の一実施形態による半導体装置及びその製造方法について図2乃至図16を用いて説明する。図2は本実施形態による半導体装置の構造を示す断面図、図3乃至図16は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0038】

まず、本実施形態による半導体装置の構造について図2を用いて説明する。

【0039】

本実施形態による半導体装置は、MOS トランジスタ等の半導体素子が形成されたシリコン基板 10 上に順次形成された下層配線部 12 と、中間層配線部 14 と、上層配線部 16 とを有している。下層配線部 12 には、例えば、中間層配線部 14 及び上層配線部 16 に形成された配線層の配線パターンよりも狭いピッチの配線パターンを有し、短距離間を接続する配線層が形成されている。中間層配線部 14 には、例えば、下層配線部 12 に形成された配線層の配線パターンよりも広く、上層配線部 16 に形成された配線層の配線パターンよりも狭いピッチの配線パターンを有し、回路ブロック間を接続する配線層が形成されている。上層配線部 16 には、例えば、下層配線部 12 及び中間層配線部 14 に形成

された配線層の配線パターンよりも広いピッチの配線パターンを有し、電源配線、クロック配線として用いられる配線層が形成されている。

【0040】

シリコン基板10上には、素子領域を画定する素子分離膜18が形成されている。シリコン基板10の素子領域には、ゲート電極20及びソース／ドレイン拡散層22を有するMOSトランジスタが形成されている。

【0041】

MOSトランジスタが形成されたシリコン基板10上には、シリコン酸化膜よりなる層間絶縁膜24が形成されている。

【0042】

層間絶縁膜24には、ソース／ドレイン拡散層22に達するビアホール26が形成されており、ビアホール26内には、コンタクトプラグ28が埋め込まれている。

【0043】

コンタクトプラグ28が埋め込まれた層間絶縁膜24上には、SiC膜30と、SiOC膜よりなるlow-k膜32と、シリコン酸化膜よりなる親水性絶縁膜34とが順次積層されてなる層間絶縁膜36が形成されている。層間絶縁膜36のコンタクトプラグ28を含む領域には、配線溝38aが形成されている。配線溝38a内には、Ta（タンタル）膜よりなるバリアメタル層40とCu膜42とを有し、コンタクトプラグ28に接続する配線層44aが埋め込まれている。また、親水性絶縁膜34、low-k膜32及びSiC膜30の他の領域には、配線溝38bが形成されている。配線溝38b内には、タンタル膜よりなるバリアメタル層40とCu膜42とを有する配線層44bが埋め込まれている。

【0044】

配線層44a、44bが埋め込まれた層間絶縁膜36上には、SiC膜46と、SiOC膜よりなるlow-k膜48と、SiC膜50と、SiOC膜よりなるlow-k膜52と、シリコン酸化膜よりなる親水性絶縁膜54とが順次積層されてなる層間絶縁膜56が形成されている。層間絶縁膜56のlow-k膜48及びSiC膜46には、配線層44aに達するビアホール58が形成されている。親水性絶縁膜54、low-k膜52及びSiC膜50のビアホール58を含む領域には、配線溝60aが形成されている。ビアホール58内及び配線溝60a内には、Ta膜よりなるバリアメタル層62とCu膜64とを有し、配線層44aに接続する配線層66aが埋め込まれている。また、親水性絶縁膜54、low-k膜52及びSiC膜50の他の領域には、配線溝60bが形成されている。配線溝60b内には、Ta膜よりなるバリアメタル層62とCu膜64とを有する配線層66bが埋め込まれている。

【0045】

配線層66a、66bが埋め込まれた層間絶縁膜56上には、SiC膜68と、SiOC膜よりなるlow-k膜70と、SiC膜72と、SiOC膜よりなるlow-k膜74と、シリコン酸化膜よりなる親水性絶縁膜76とが順次積層されてなる層間絶縁膜78が形成されている。層間絶縁膜78のlow-k膜70及びSiC膜68には、配線層66aに達するビアホール80が形成されている。親水性絶縁膜76、low-k膜74及びSiC膜72のビアホール80を含む領域には、配線溝82aが形成されている。ビアホール80内及び配線溝82a内には、Ta膜よりなるバリアメタル層84とCu膜86とを有し、配線層66aに接続する配線層88aが埋め込まれている。また、親水性絶縁膜76、low-k膜74及びSiC膜72の他の領域には、配線溝82bが形成されている。配線溝82b内には、Ta膜よりなるバリアメタル層84とCu膜86とを有する配線層88bが埋め込まれている。

【0046】

配線層88a、88bが埋め込まれた層間絶縁膜78上には、SiC膜90と、SiOC膜よりなるlow-k膜92と、SiC膜94と、SiOC膜よりなるlow-k膜96と、シリコン酸化膜よりなる親水性絶縁膜98とが順次積層されてなる層間絶縁膜100

0が形成されている。層間絶縁膜100のlow-k膜92及びSiC膜90には、配線層88aに達するビアホール102が形成されている。親水性絶縁膜98、low-k膜96及びSiC膜94のビアホール102を含む領域には、配線溝104aが形成されている。ビアホール102内及び配線溝104a内には、Ta膜よりなるバリアメタル層106とCu膜108とを有し、配線層88aに接続する配線層110aが埋め込まれている。また、親水性絶縁膜98、low-k膜96及びSiC膜94の他の領域には、配線溝104bが形成されている。配線溝104b内には、Ta膜よりなるバリアメタル層106とCu膜108とを有する配線層110bが埋め込まれている。

#### 【0047】

配線層110a、110bが埋め込まれた層間絶縁膜100上には、SiC膜112と、SiOC膜よりなるlow-k膜114と、SiC膜116と、SiOC膜よりなるlow-k膜118と、シリコン酸化膜よりなる親水性絶縁膜120とが順次積層されてなる層間絶縁膜122が形成されている。層間絶縁膜122のlow-k膜114及びSiC膜112には、配線層110aに達するビアホール124が形成されている。親水性絶縁膜120、low-k膜118及びSiC膜116のビアホール124を含む領域には、配線溝126aが形成されている。ビアホール124内及び配線溝126a内には、Ta膜よりなるバリアメタル層128とCu膜130とを有し、配線層110aに接続する配線層132aが埋め込まれている。また、親水性絶縁膜120、low-k膜118及びSiC膜116の他の領域には、配線溝126bが形成されている。配線溝126b内には、Ta膜よりなるバリアメタル層128とCu膜130とを有する配線層132bが埋め込まれている。

#### 【0048】

こうして、シリコン基板10上に、5層の多層配線構造を有する下層配線部12が形成されている。下層配線部12における各層の配線層44a、44b、配線層66a、66b、配線層88a、88b、配線層110a、110b、配線層132a、132bの配線パターンのピッチは、それぞれ例えば0.28 $\mu$ mとなっている。

#### 【0049】

配線層132a、132bが埋め込まれた層間絶縁膜122上には、SiC膜134と、SiOC膜よりなるlow-k膜136と、SiC膜138と、SiOC膜よりなるlow-k膜140とが順次積層されてなる層間絶縁膜142が形成されている。層間絶縁膜142のlow-k膜136及びSiC膜134には、配線層132aに達するビアホール144が形成されている。low-k膜140及びSiC膜138のビアホール144を含む領域には、配線溝146aが形成されている。ビアホール144内及び配線溝146a内には、Ta膜よりなるバリアメタル層148とCu膜150とを有し、配線層132aに接続する配線層152aが埋め込まれている。また、low-k膜140及びSiC膜138の他の領域には、配線溝146bが形成されている。配線溝146b内には、Ta膜よりなるバリアメタル層148とCu膜150とを有する配線層152bが埋め込まれている。

#### 【0050】

配線層152a、152bが埋め込まれた層間絶縁膜142上には、SiC膜154と、SiOC膜よりなるlow-k膜156と、SiC膜158と、SiOC膜よりなるlow-k膜160とが順次積層されてなる層間絶縁膜162が形成されている。層間絶縁膜162のlow-k膜156及びSiC膜154には、配線層152aに達するビアホール164が形成されている。low-k膜160及びSiC膜158のビアホール164を含む領域には、配線溝166aが形成されている。ビアホール164内及び配線溝166a内には、Ta膜よりなるバリアメタル層168とCu膜170とを有し、配線層152aに接続する配線層172aが埋め込まれている。また、low-k膜160及びSiC膜158の他の領域には、配線溝166bが形成されている。配線溝166b内には、Ta膜よりなるバリアメタル層168とCu膜170とを有する配線層172bが埋め込まれている。

**【0051】**

こうして、下層配線部12上に、2層の多層配線構造を有する中間層配線部14が形成されている。中間層配線部14の各層の配線層152a、152b、配線層172a、172bの配線パターンのピッチは、下層配線部12における配線層の配線パターンのピッチよりも例えば1.5倍以上広がっている。例えば、中間層配線部14の各層の配線層152a、152b、配線層172a、172bの配線パターンのピッチは、それぞれ下層配線部12における配線層の配線パターンのピッチの2倍の $0.56\mu\text{m}$ となっている。

**【0052】**

配線層172a、172bが埋め込まれた層間絶縁膜162上には、SiC膜174と、シリコン酸化膜176と、SiC膜178と、シリコン酸化膜180とが順次積層されてなる層間絶縁膜182が形成されている。層間絶縁膜182のシリコン酸化膜176及びSiC膜174には、配線層172aに達するビアホール184が形成されている。シリコン酸化膜180及びSiC膜178のビアホール184を含む領域には、配線溝186aが形成されている。ビアホール184内及び配線溝186a内には、Ta膜よりなるバリアメタル層188とCu膜190とを有し、配線層172aに接続する配線層192aが埋め込まれている。また、シリコン酸化膜180及びSiC膜178の他の領域には、配線溝186bが形成されている。配線溝186b内には、Ta膜よりなるバリアメタル層188とCu膜190とを有する配線層192bが埋め込まれている。

**【0053】**

配線層192a、192bが埋め込まれた層間絶縁膜182上には、SiC膜194と、シリコン酸化膜196と、SiC膜198と、シリコン酸化膜200とが順次積層されてなる層間絶縁膜202が形成されている。層間絶縁膜202のシリコン酸化膜196及びSiC膜194には、配線層192aに達するビアホール204が形成されている。シリコン酸化膜200及びSiC膜198のビアホール204を含む領域には、配線溝206aが形成されている。ビアホール204内及び配線溝206a内には、Ta膜よりなるバリアメタル層208とCu膜210とを有し、配線層192aに接続する配線層212aが埋め込まれている。また、シリコン酸化膜200及びSiC膜198の他の領域には、配線溝206bが形成されている。配線溝206b内には、Ta膜よりなるバリアメタル層208とCu膜210とを有する配線層212bが埋め込まれている。

**【0054】**

こうして、中間層配線部14上に、2層の多層配線構造を有する上層配線部16が形成されている。上層配線部16の各層の配線層192a、192b、配線層212a、212bの配線パターンのピッチは、下層配線部12及び中間層配線部14における配線層の配線パターンのピッチよりも広く、それぞれ例えば $0.84\mu\text{m}$ となっている。

**【0055】**

配線層212a、212bが埋め込まれた層間絶縁膜202上には、SiC膜214と、シリコン酸化膜216とが順次積層されてなる層間絶縁膜218が形成されている。層間絶縁膜218内には、配線層212aに達するビアホール220が形成されている。ビアホール220内には、コンタクトプラグ222が埋め込まれている。

**【0056】**

層間絶縁膜218のコンタクトプラグ222を含む領域上には、コンタクトプラグ222を介して配線層212aに接続する電極224が形成されている。

**【0057】**

電極224が形成された層間絶縁膜218上には、シリコン酸化膜226aと、シリコン窒化膜226bとが順次積層されてなるカバー膜226が形成されている。カバー膜226には、電極224に達する開口部228が形成されている。

**【0058】**

こうして、本実施形態による半導体装置が構成されている。

**【0059】**

本実施形態による半導体装置は、下層配線部 12 及び中間層配線部 14 における層間絶縁膜として SiOC 膜よりなる low-k 膜を有し、中間層配線部 14 における配線層の配線パターンよりも狭いピッチの配線パターンを有する配線層が形成された下層配線部 12 では low-k 膜上にシリコン酸化膜よりなる親水性絶縁膜が形成されているのに対し、下層配線部 12 における配線層の配線パターンよりも広いピッチの配線パターンを有する配線層が形成された中間層配線部 14 では low-k 膜上に拡散防止膜として機能する SiC 膜が直に形成され、親水性絶縁膜が形成されていないことに主たる特徴がある。

#### 【0060】

配線層の配線パターンのピッチの狭い下層配線部 12 は、異物が付着することにより不良が発生する感度が高くなっている。かかる下層配線部 12 において、low-k 膜上に親水性絶縁膜を形成することにより、CMP (Chemical Mechanical Polishing) 法等を用いて配線層を埋め込んだ後には親水性絶縁膜が表面に露出することとなる。撥水性の low-k 膜ではなく親水性絶縁膜が露出するため、CMP 法等による研磨後に HF 処理を行いリフトオフにより異物を十分に除去することができる。また、撥水性の low-k 膜ではなく親水性絶縁膜が露出するため、CMP 法等による研磨後の洗浄乾燥後に、配線層の腐食の原因となる水滴によるウォータマークの発生が抑制される。こうして、異物の付着による不良発生の感度が高い下層配線部 12 において、不良の発生を抑制しつつ、層間絶縁膜に low-k 膜を用いることにより配線容量を低減することができる。

#### 【0061】

一方、中間層配線部 14 における配線層は、回路ブロック間を接続する配線層として用いられる。このため、中間層配線部 14 における配線層は、配線抵抗を低減する必要があり、下層配線部 12 における配線層の配線パターンのピッチと比較して例えば 1.5～3 倍のピッチの配線パターンを有している。このように配線パターンのピッチの広い中間層配線部 14 は、下層配線部 12 と比較して、異物が付着することにより不良が発生する感度は低くなっている。したがって、CMP 後に HF 処理を行いリフトオフにより異物を除去しなくても、歩留まりへの影響は小さく、low-k 膜上に親水性絶縁膜を残存させる必要はない。こうして中間層配線部 14 では、low-k 膜上に拡散防止膜として機能する SiC 膜が直に形成され、low-k 膜よりも誘電率の高い親水性絶縁膜が形成されていないため、層間絶縁膜に low-k 膜を用いることにより配線容量を十分に低減することができる。

#### 【0062】

なお、上層配線部 16 における配線層は、電源配線やクロック配線として用いられるものであり、下層配線部 12 及び中間層配線部 14 における配線層の配線パターンよりも広いピッチの配線パターンを有している。このため、下層配線部 12 及び中間層配線部 14 のように low-k 膜を用いて配線容量を低減する必要性に乏しい。したがって、上層配線部 16 においては、low-k 膜よりも誘電率の高いシリコン酸化膜が用いられている。なお、上層配線部 16 における層間絶縁膜には、シリコン酸化膜のほか、FSG 膜 (Fluorinated Silicate Glass) 等を用いることができる。

#### 【0063】

以上のように、本実施形態による半導体装置は、多層配線構造における配線層の機能に応じて、中間層配線部 14 における配線層の配線パターンよりも狭いピッチの配線パターンを有する配線層が形成される下層配線部 12 においては異物の付着による不良の発生の抑制しつつ配線容量を低減する一方、下層配線層部 12 における配線層の配線パターンよりも広いピッチの配線パターンを有する配線層が形成される中間層配線部 14 においては配線容量を十分に低減することができる。

#### 【0064】

次に、本実施形態による半導体装置の製造方法について図 3 乃至図 16 を用いて説明する。なお、図 3 乃至図 8 は本実施形態による半導体装置の製造方法における下層配線部 12 の製造工程を示す工程断面図、図 9 乃至図 11 は中間層配線部 14 の製造工程を示す工程断面図、図 12 乃至図 16 は上層配線部 16 及び上層配線部 16 上に形成される電極等

の製造工程を示す工程断面図である。

【0065】

まず、例えばSTI (Shallow Trench Isolation) 法により、シリコン基板10上に、素子領域を画定する素子分離膜18を形成する。

【0066】

次いで、素子分離膜18が形成されたシリコン基板10に、例えば、通常のMOSトランジスタの製造方法と同様にして、ゲート電極20及びソース／ドレイン拡散層22を有するMOSトランジスタを形成する(図3(a)を参照)。なお、シリコン基板10上には、MOSトランジスタのみならず、種々の半導体素子を形成することができる。

【0067】

次いで、MOSトランジスタが形成されたシリコン基板10上に、例えばCVD (Chemical Vapor Deposition) 法により、例えば膜厚700nmのシリコン酸化膜よりなる層間絶縁膜24を形成する。

【0068】

次いで、例えばCMP法により、層間絶縁膜24の膜厚が例えば400nmとなるまで層間絶縁膜24の表面を研磨し、層間絶縁膜24の表面を平坦化する(図3(b)を参照)。

【0069】

次いで、フォトリソグラフィー及びドライエッチングにより、層間絶縁膜24に、シリコン基板10に達するコンタクトホール26を形成する。

【0070】

次いで、例えばCVD法により、例えば膜厚10nmのTi(チタン)膜と、例えば膜厚10nmのTiN(窒化チタン)膜と、例えば300nmのW(タングステン)膜とを形成する。

【0071】

次いで、例えばCMP法により、層間絶縁膜24の表面が露出するまで、W膜、TiN膜、及びTi膜を平坦に除去し、コンタクトホール26内に埋め込まれ、Ti膜、TiN膜、及びW膜よりなるコンタクトプラグ28を形成する(図3(c)を参照)。

【0072】

次いで、コンタクトプラグ28が埋め込まれた層間絶縁膜24上に、例えばプラズマCVD法により、例えば膜厚30nmのSiC膜30を形成する。

【0073】

次いで、SiC膜30上に、例えばプラズマCVD法により、例えば膜厚200nmのSiOC膜よりなるlow-k膜32を形成する。

【0074】

次いで、low-k膜32上に、例えばTEOS(tetraethoxysilane)を主原料とするプラズマCVD法により、例えば膜厚100nmのシリコン酸化膜よりなる親水性絶縁膜34を形成する。ここで形成する親水性絶縁膜34は、後述する中間層配線部14において形成する親水性絶縁膜244よりも厚い膜厚で形成する。

【0075】

こうして、親水性絶縁膜34／low-k膜32／SiC膜30の積層構造を有する層間絶縁膜36を形成する(図3(d)を参照)。なお、SiC膜30は、エッチングストッパ膜及びCuの拡散防止膜として機能する。

【0076】

次いで、親水性絶縁膜34上に、例えばCVD法により、例えば膜厚50nmのシリコン窒化膜232を形成する。なお、シリコン窒化膜232は、この後のフォトリソグラフィー工程におけるARC(Anti-Reflection Coating)膜として機能する。

【0077】

次いで、フォトリソグラフィーにより、シリコン窒化膜232上に、層間絶縁膜36に形成される配線溝38a、38bの形成予定領域を露出するフォトレジスト膜234を形

成する(図3(e)を参照)。

【0078】

次いで、フォトレジスト膜234をマスクとして及びSiC膜30をストップとして、シリコン窒化膜232、親水性絶縁膜34、及びlow-k膜32を順次エッチングする。こうして、親水性絶縁膜34及びlow-k膜32に配線溝38a、38bを形成する(図4(a)を参照)。

【0079】

次いで、フォトレジスト膜234を除去した後、配線溝38a、38bの底部のSiC膜30をエッチングし、配線溝38a、38bを層間絶縁膜24上まで開口する。このとき、親水性絶縁膜34上のシリコン窒化膜232もエッチングされ除去される(図4(b)を参照)。

【0080】

次いで、全面に、例えばスパッタ法により、例えば膜厚10nmのTa膜よりなるバリアメタル層40と、例えば膜厚100nmのCu膜とを連続して堆積する。

【0081】

次いで、バリアメタル層40上に形成されたCu膜をシードとして、電解メッキにより更にCu膜を堆積し、例えばトータル膜厚1.0μmのCu膜42を形成する(図4(c)を参照)。

【0082】

次いで、CMP法によりCu膜42及びTa膜よりなるバリアメタル層40を研磨し、Cu膜42及びバリアメタル層40を平坦に除去し、配線溝38a内に埋め込まれた配線層44a、及び配線溝38b内に埋め込まれた配線層44bを形成する。このとき、まず、Ta膜よりなるバリアメタル層40に対して十分な選択比が得られる条件でCu膜42を選択的に研磨し、バリアメタル層40の表面で研磨を停止する(図4(d)を参照)。続いて、研磨条件を適宜再設定してTa膜よりなるバリアメタル層40を研磨し、親水性絶縁膜34を露出する(図5(a)を参照)。このようにCMP法による研磨条件を設定することで、バリアメタル層40下のシリコン酸化膜よりなる親水性絶縁膜34のオーバーポリッシュによる研削量を制御することが容易となる。この結果、Cu膜42及びバリアメタル層40の除去後の親水性絶縁膜34を所望の膜厚に容易に設定することができる。Cu膜42及びバリアメタル層40の除去後の親水性絶縁膜34の膜厚は、例えば50nmとなっている。

【0083】

こうして、配線溝38a内に埋め込まれ、Ta膜よりなりCuの拡散を防止するバリアメタル層40と配線層の主要部をなすCu膜42とを有する配線層44a、及び配線溝38b内に埋め込まれ、Ta膜よりなりCuの拡散を防止するバリアメタル層40と配線層の主要部をなすCu膜42とを有する配線層44bを形成する(図5(a)を参照)。

【0084】

CMP法により配線層44a、44bを埋め込んだ後、所定の洗浄処理を行う。このとき、HF処理を行いリフトオフにより表面に付着している異物を除去する。HF処理の際に、表面には撥水性のlow-k膜32ではなく親水性絶縁膜34が露出しているため、リフトオフにより異物を十分に除去することができる。また、撥水性のlow-k膜32ではなく親水性絶縁膜34が露出しているため、洗浄乾燥後に配線層の腐食の原因となる水滴によるウォーターマークの発生を抑制することができる。

【0085】

次いで、配線層44a、44bが埋め込まれた層間絶縁膜36上に、例えばプラズマCVD法により、例えば膜厚50nmのSiC膜46を形成する。

【0086】

次いで、SiC膜46上に、例えばプラズマCVD法により、例えば膜厚250nmのSiOC膜よりなるlow-k膜48を形成する。

【0087】



次いで、low-k 膜 48 上に、例えばプラズマ CVD 法により、例えば膜厚 30 nm の SiC 膜 50 を形成する。

【0088】

次いで、SiC 膜 50 上に、例えばプラズマ CVD 法により、例えば膜厚 200 nm の SiOC 膜よりなる low-k 膜 52 を形成する。

【0089】

次いで、low-k 膜 52 上に、例えば TEOS を主原料とするプラズマ CVD 法により、例えば膜厚 100 nm のシリコン酸化膜よりなる親水性絶縁膜 54 を形成する。ここで形成する親水性絶縁膜 54 は、後述する中間層配線部 14 において形成する親水性絶縁膜 244 よりも厚い膜厚で形成する。

【0090】

こうして、親水性絶縁膜 54 / low-k 膜 52 / SiC 膜 50 / low-k 膜 48 / SiC 膜 46 の積層構造を有する層間絶縁膜 56 を形成する (図 5 (b) を参照)。なお、SiC 膜 46、50 は、エッチングストップ膜及び Cu の拡散防止膜として機能する。

【0091】

次いで、親水性絶縁膜 54 上に、例えば CVD 法により、例えば膜厚 50 nm のシリコン窒化膜 236 を形成する。なお、シリコン窒化膜 236 は、この後のフォトリソグラフィ工程における ARC 膜として機能する。

【0092】

次いで、フォトリソグラフィにより、シリコン窒化膜 236 上に、low-k 膜 48 及び SiC 膜 46 に形成されるビアホール 58 の形成予定領域を露出するフォトレジスト膜 238 を形成する (図 5 (c) を参照)。

【0093】

次いで、フォトレジスト膜 238 をマスクとして、シリコン窒化膜 236、親水性絶縁膜 54、low-k 膜 52、SiC 膜 50、及び low-k 膜 48 を、適宜条件を変更して順次エッチングする。こうして、low-k 膜 46 に、ビアホール 58 を形成する (図 5 (d) を参照)。

【0094】

ビアホール 58 の形成後、フォトレジスト膜 238 を除去する。

【0095】

次いで、例えばスピンコート法により樹脂 240 をビアホール 58 内に埋め込んだ後、例えば O<sub>2</sub> プラズマを用いたアッシングによりシリコン窒化膜 236 上の樹脂 240 を除去するとともにビアホール 58 内の樹脂 240 を所定の高さまでエッチバックする。例えば、樹脂 240 の上面が SiC 膜 50 と low-k 膜 52 との境界付近に位置するまでエッチバックする (図 6 (a) を参照)。

【0096】

次いで、シリコン窒化膜 236 上に、フォトリソグラフィにより、層間絶縁膜 56 に形成される配線溝 60a、60b の形成予定領域を露出するフォトレジスト膜 242 を形成する (図 6 (b) を参照)。この際、フォトレジスト膜 242 は、樹脂 240 とミキシング等が生ずることがなく、また、現像液が樹脂 240 を溶解するものではない材料から選択する。

【0097】

次いで、フォトレジスト膜 242 をマスクとして及び SiC 膜 50 をストップとして、シリコン窒化膜 236、親水性絶縁膜 54、及び low-k 膜 52 を順次エッチングする。こうして、親水性絶縁膜 54 及び low-k 膜 52 に配線溝 60a、60b を形成する (図 6 (c) を参照)。

【0098】

次いで、例えば O<sub>2</sub> プラズマ及び CF<sub>4</sub> プラズマを用いたアッシングにより、フォトレジスト膜 242 及びビアホール 58 内の樹脂 240 を除去する。

【0099】

次いで、SiOC膜に対して十分な選択比の得られる条件を用いて、配線溝60a、60bの底部のSiC膜50、及びビアホール58底部のSiC膜46をエッチングし、配線溝60a、60bをlow-k膜48上まで開口するとともに、ビアホール58を配線層44a上まで開口する。このとき、親水性絶縁膜54上のシリコン窒化膜236もエッチングされ除去される(図7(a)を参照)。

#### 【0100】

次いで、全面に、例えばスパッタ法により、例えば膜厚25nmのTa膜よりなるバリアメタル層62と、例えば膜厚100nmのCu膜とを連続して堆積する。なお、配線溝60a、60b及びビアホール58の形成後Ta膜の堆積前に、その場で(in-situ)、Ar(アルゴン)スパッタリング、H<sub>2</sub>プラズマ処理、H<sub>2</sub>アニーリング等の前処理を行っておいてもよい。

#### 【0101】

次いで、バリアメタル層62上に形成されたCu膜をシードとして、電解メッキにより更にCu膜を堆積し、例えばトータル膜厚1.0μmのCu膜64を形成する(図7(b)を参照)。

#### 【0102】

次いで、CMP法によりCu膜64及びTa膜よりなるバリアメタル層62を研磨し、Cu膜64及びバリアメタル層62を平坦に除去し、配線溝60a内及びビアホール58内に埋め込まれた配線層66a、及び配線溝60b内に埋め込まれた配線層66bを形成する。このとき、配線層44a、44bを形成した場合と同様に、まず、Ta膜よりなるバリアメタル層62に対して十分な選択比が得られる条件でCu膜64を選択的に研磨し、バリアメタル層62の表面で研磨を停止する(図7(c)を参照)。続いて、研磨条件を適宜再設定してTa膜よりなるバリアメタル層62を研磨し、親水性絶縁膜54を露出する(図8(a)を参照)。このようにCMP法による研磨条件を設定することで、バリアメタル層62下のシリコン酸化膜よりなる親水性絶縁膜54のオーバーポリッシュによる研削量を制御することが容易となる。この結果、Cu膜64及びバリアメタル層62の除去後の親水性絶縁膜54を所望の膜厚に容易に設定することができる。Cu膜64及びバリアメタル層62の除去後の親水性絶縁膜54の膜厚は、例えば50nmとなっている。

#### 【0103】

こうして、ビアホール58内及び配線溝60a内に埋め込まれ、Ta膜よりなりCuの拡散を防止するバリアメタル層62と配線層の主要部をなすCu膜64とを有する配線層66a、及び配線溝60b内に埋め込まれ、Ta膜よりなりCuの拡散を防止するバリアメタル層62と配線層の主要部をなすCu膜64とを有する配線層66bを形成する(図8(a)を参照)。

#### 【0104】

CMP法により配線層66a、66bを埋め込んだ後、所定の洗浄処理を行う。このとき、HF処理を行いリフトオフにより表面に付着している異物を除去する。HF処理の際に、表面には撥水性のlow-k膜52ではなく親水性絶縁膜54が露出しているため、リフトオフにより異物を十分に除去することができる。また、撥水性のlow-k膜52ではなく親水性絶縁膜54が露出しているため、洗浄乾燥後に配線層の腐食の原因となる水滴によるウォーターマークの発生を抑制することができる。

#### 【0105】

次いで、図5(b)乃至図8(a)に示す工程と同様の工程を繰り返すことにより、層間絶縁膜78に埋め込まれた配線層88a、88b、層間絶縁膜100に埋め込まれた配線層110a、110b、及び層間絶縁膜122に埋め込まれた配線層132a、132bを形成する。

#### 【0106】

こうして、シリコン基板10上に、5層の多層配線構造を有する下層配線部12が形成される(図8(b)を参照)。下層配線部12における配線層44a、44b、配線層6

6a、66b、配線層88a、88b、配線層110a、110b、及び配線層132a、132bは、それぞれ例えば0.28 $\mu$ mピッチの配線パターンに形成される。

【0107】

次いで、下層配線部12の配線層132a、132bが埋め込まれた層間絶縁膜122上に、例えばプラズマCVD法により、例えば膜厚70nmのSiC膜134を形成する。

【0108】

次いで、SiC膜134上に、例えばプラズマCVD法により、例えば膜厚530nmのSiOC膜よりなるlow-k膜136を形成する。

【0109】

次いで、low-k膜136上に、例えばプラズマCVD法により、例えば膜厚30nmのSiC膜138を形成する。

【0110】

次いで、SiC膜138上に、例えばプラズマCVD法により、例えば膜厚400nmのSiOC膜よりなるlow-k膜140を形成する。

【0111】

こうして、low-k膜140/SiC膜138/low-k膜136/SiC膜134の積層構造を有する層間絶縁膜142を形成する。なお、SiC膜134、138は、エッチングストップ膜及びCuの拡散防止膜として機能する。

【0112】

次いで、low-k膜140上に、例えばTEOSを主原料とするプラズマCVD法により、例えば膜厚30nmのシリコン酸化膜よりなる親水性絶縁膜244を形成する(図9(a)を参照)。ここで形成する親水性絶縁膜244は、下層配線部12において形成した親水性絶縁膜34、54、76、98、120よりも薄い膜厚で形成する。なお、図9(a)以降の図面では、SiC膜134よりも下の構造を省略している。

【0113】

次いで、親水性絶縁膜244上に、例えばCVD法により、例えば膜厚50nmのシリコン窒化膜246を形成する。なお、シリコン窒化膜246は、この後のフォトリソグラフィ工程におけるARC膜として機能する。

【0114】

次いで、フォトリソグラフィにより、シリコン窒化膜246上に、low-k膜136及びSiC膜134に形成されるビアホール144の形成予定領域を露出するフォトレジスト膜248を形成する(図9(b)を参照)。

【0115】

次いで、フォトレジスト膜248をマスクとして、シリコン窒化膜246、親水性絶縁膜244、low-k膜140、SiC膜138、及びlow-k膜136を、適宜条件を変更して順次エッチングする。こうして、low-k膜136に、ビアホール144を形成する(図9(c)を参照)。

【0116】

ビアホール144の形成後、フォトレジスト膜248を除去する。

【0117】

次いで、例えばスピコート法により樹脂250をビアホール144内に埋め込んだ後、例えばO<sub>2</sub>プラズマを用いたアッシングによりシリコン窒化膜246上の樹脂250を除去するとともにビアホール144内の樹脂250を所定の高さまでエッチバックする。例えば、樹脂250の上面がSiC膜138とlow-k膜140との境界付近に位置するまでエッチバックする(図9(c)を参照)。

【0118】

次いで、シリコン窒化膜246上に、フォトリソグラフィにより、層間絶縁膜142に形成される配線溝146a、146bの形成予定領域を露出するフォトレジスト膜252を形成する(図10(a)を参照)。この際、フォトレジスト膜252は、樹脂250

とミキシング等が生ずることがなく、また、現像液が樹脂250を溶解するものではない材料から選択する。

#### 【0119】

次いで、フォトレジスト膜252をマスクとして及びSiC膜138をストップとして、シリコン窒化膜246、親水性絶縁膜244、及びlow-k膜140を順次エッチングする。こうして、low-k膜140に配線溝146a、146bを形成する(図10(b)を参照)。なお、配線溝146a、146bは、下層配線部12における配線溝の配線パターンよりも広いピッチの配線パターンに形成される。

#### 【0120】

次いで、例えばO<sub>2</sub> プラズマ及びCF<sub>4</sub> プラズマを用いたアッシングにより、フォトレジスト膜252及びビアホール144内の樹脂250を除去する。

#### 【0121】

次いで、SiOC膜に対して十分な選択比の得られる条件を用いて、配線溝146a、146bの底部のSiC膜138、及びビアホール144底部のSiC膜134をエッチングし、配線溝146a、146bをlow-k膜136上まで開口するとともに、ビアホール144を下層配線部12の配線層132a上まで開口する。このとき、親水性絶縁膜244上のシリコン窒化膜246もエッチングされ除去される(図10(c)を参照)。

#### 【0122】

次いで、全面に、例えばスパッタ法により、例えば膜厚25nmのTa膜よりなるバリアメタル層148と、例えば膜厚100nmのCu膜とを連続して堆積する。なお、配線溝146a、146b及びビアホール144の形成後Ta膜の堆積前に、その場で(in-situ)、Ar(アルゴン)スパッタリング、H<sub>2</sub> プラズマ処理、H<sub>2</sub> アニールング等の前処理を行っておいてもよい。

#### 【0123】

次いで、バリアメタル層148上に形成されたCu膜をシードとして、電解メッキにより更にCu膜を堆積し、例えばトータル膜厚1.0μmのCu膜150を形成する(図10(c)を参照)。

#### 【0124】

次いで、CMP法によりCu膜150及びTa膜よりなるバリアメタル層148を研磨し、Cu膜150、バリアメタル層148、及び親水性絶縁膜244を平坦に除去し、配線溝146a内及びビアホール144内に埋め込まれた配線層152a、及び配線溝146b内に埋め込まれた配線層152bを形成する。このとき、まず、Ta膜よりなるバリアメタル層148に対して高い選択比が得られる条件でCu膜150を選択的に研磨し、バリアメタル層148の表面で研磨を停止する(図11(a)を参照)。続いて、研磨条件を再設定し、Taよりなるバリアメタル層148の研磨レートとシリコン酸化膜よりなる親水性絶縁膜244の研磨レートとが近くなる条件で、バリアメタル層148及び親水性絶縁膜244を研磨し、low-k膜140を露出する(図11(b)を参照)。

#### 【0125】

こうして、ビアホール144内及び配線溝146a内に埋め込まれ、Ta膜よりなりCuの拡散を防止するバリアメタル層148と配線層の主要部をなすCu膜150とを有する配線層152a、及び配線溝146b内に埋め込まれ、Ta膜よりなりCuの拡散を防止するバリアメタル層148と配線層の主要部をなすCu膜150とを有する配線層152bを形成する(図11(b)を参照)。

#### 【0126】

次いで、図9(a)乃至図11(b)に示す工程と同様の工程を繰り返すことにより、層間絶縁膜162に埋め込まれた配線層172a、172bを形成する(図11(c)を参照)。

#### 【0127】

こうして、下層配線部12上に、2層の多層配線構造を有する中間層配線部14が形成

される。中間層配線部 14 における配線層 152a、152b、配線層 172a、172b は、それぞれ下層配線部 12 における配線層よりも例えば 1.5 倍以上の広いピッチの配線パターンに、具体的には例えば  $0.56\ \mu\text{m}$  ピッチの配線パターンに形成される。

【0128】

次いで、中間層配線部 14 の配線層 172a、172b が埋め込まれた層間絶縁膜 162 上に、例えばプラズマ CVD 法により、例えば膜厚  $70\ \text{nm}$  の SiC 膜 174 を形成する。

【0129】

次いで、SiC 膜 174 上に、例えばプラズマ CVD 法により、例えば膜厚  $530\ \text{nm}$  のシリコン酸化膜 176 を形成する。

【0130】

次いで、シリコン酸化膜 176 上に、例えばプラズマ CVD 法により、例えば膜厚  $30\ \text{nm}$  の SiC 膜 178 を形成する。

【0131】

次いで、SiC 膜 178 上に、例えばプラズマ CVD 法により、例えば膜厚  $900\ \text{nm}$  のシリコン酸化膜 180 を形成する。

【0132】

こうして、シリコン酸化膜 180 / SiC 膜 178 / シリコン酸化膜 176 / SiC 膜 174 の積層構造を有する層間絶縁膜 182 を形成する（図 12 (a) を参照）。なお、SiC 膜 174、178 は、エッチングストップ膜及び Cu の拡散防止膜として機能する。また、図 12 (a) 以降の図面では、SiC 膜 174 よりも下の構造を省略している。

【0133】

次いで、シリコン酸化膜 180 上に、例えば CVD 法により、例えば膜厚  $50\ \text{nm}$  のシリコン窒化膜 254 を形成する。なお、シリコン窒化膜 254 は、この後のフォトリソグラフィ工程における ARC 膜として機能する。

【0134】

次いで、フォトリソグラフィにより、シリコン窒化膜 254 上に、シリコン酸化膜 176 及び SiC 膜 174 に形成されるビアホール 184 の形成予定領域を露出するフォトレジスト膜 256 を形成する（図 12 (b) を参照）。

【0135】

次いで、フォトレジスト膜 256 をマスクとして、シリコン窒化膜 254、シリコン酸化膜 180、SiC 膜 178、及びシリコン酸化膜 176 を、適宜条件を変更して順次エッチングする。こうして、シリコン酸化膜 176 に、ビアホール 184 を形成する（図 12 (c) を参照）。

【0136】

ビアホール 184 の形成後、フォトレジスト膜 256 を除去する。

【0137】

次いで、例えばスピンコート法により樹脂 258 をビアホール 184 内に埋め込んだ後、例えば  $\text{O}_2$  プラズマを用いたアッシングによりシリコン窒化膜 254 上の樹脂 258 を除去するとともにビアホール 184 内の樹脂 258 を所定の高さまでエッチバックする。例えば、樹脂 258 の上面が SiC 膜 178 とシリコン酸化膜 180 との境界付近に位置するまでエッチバックする（図 12 (d) を参照）。

【0138】

次いで、シリコン窒化膜 254 上に、フォトリソグラフィにより、層間絶縁膜 182 に形成される配線溝 186a、186b の形成予定領域を露出するフォトレジスト膜 260 を形成する（図 13 (a) を参照）。この際、フォトレジスト膜 260 は、樹脂 258 とミキシング等が生ずることがなく、また、現像液が樹脂 258 を溶解するものではない材料から選択する。

【0139】

次いで、フォトレジスト膜 260 をマスクとして及び SiC 膜 178 をストップとして

、シリコン窒化膜 254 及びシリコン酸化膜 180 を順次エッチングする。こうして、シリコン酸化膜 180 に配線溝 186 a、186 b を形成する (図 13 (b) を参照)。なお、配線溝 186 a、186 b は、下層配線部 12 及び中間層配線部 14 における配線溝の配線パターンよりも広いピッチの配線パターンに形成される。

#### 【0140】

次いで、例えば  $O_2$  プラズマ及び  $CF_4$  プラズマを用いたアッシングにより、フォトリジスト膜 260 及びビアホール 184 内の樹脂 258 を除去する。

#### 【0141】

次いで、シリコン酸化膜に対して十分な選択比の得られる条件を用いて、配線溝 186 a、186 b の底部の SiC 膜 178、及びビアホール 184 底部の SiC 膜 174 をエッチングし、配線溝 186 a、186 b をシリコン酸化膜 176 上まで開口するとともに、ビアホール 184 を中間層配線部 14 の配線層 172 a 上まで開口する。このとき、シリコン酸化膜 180 上のシリコン窒化膜 254 もエッチングされ除去される (図 13 (c) を参照)。

#### 【0142】

次いで、全面に、例えばスパッタ法により、例えば膜厚 25 nm の Ta 膜よりなるバリアメタル層 188 と、例えば膜厚 150 nm の Cu 膜とを連続して堆積する。なお、配線溝 186 a、186 b 及びビアホール 184 の形成後 Ta 膜の堆積前に、その場で (in-situ)、Ar (アルゴン) スパッタリング、 $H_2$  プラズマ処理、 $H_2$  アニールング等の前処理を行っていてもよい。

#### 【0143】

次いで、バリアメタル層 188 上に形成された Cu 膜をシードとして、電解メッキにより更に Cu 膜を堆積し、例えばトータル膜厚 1.5  $\mu m$  の Cu 膜 190 を形成する (図 13 (d) を参照)。

#### 【0144】

次いで、CMP 法により Cu 膜 190 及び Ta 膜よりなるバリアメタル層 188 を研磨し、Cu 膜 190、バリアメタル層 188 を平坦に除去する (図 14 (a) 及び図 14 (b) を参照)。こうして、配線溝 186 a 内及びビアホール 184 内に埋め込まれ、Ta 膜よりなり Cu の拡散を防止するバリアメタル層 188 と配線層の主要部をなす Cu 膜 190 とを有する配線層 192 a、及び配線溝 186 b 内に埋め込まれ、Ta 膜よりなり Cu の拡散を防止するバリアメタル層 188 と配線層の主要部をなす Cu 膜 190 とを有する配線層 192 b を形成する。

#### 【0145】

次いで、図 12 (a) 乃至図 14 (b) に示す工程と同様の工程を繰り返すことにより、層間絶縁膜 202 に埋め込まれた配線層 212 a、212 b を形成する (図 14 (c) を参照)。

#### 【0146】

こうして、中間層配線部 14 上に、2 層の多層配線構造を有する上層配線部 16 が形成される。上層配線部 16 における配線層 192 a、192 b、配線層 212 a、212 b は、それぞれ下層配線部 12 及び中間層配線部 14 における配線層よりも広いピッチの配線パターンに、具体的には例えば 0.84  $\mu m$  ピッチの配線パターンに形成される。

#### 【0147】

次いで、配線層 212 a、212 b が埋め込まれた層間絶縁膜 202 上に、例えばプラズマ CVD 法により、例えば膜厚 70 nm の SiC 膜 214 を形成する。

#### 【0148】

次いで、SiC 膜 214 上に、例えばプラズマ CVD 法により、例えば膜厚 600 nm のシリコン酸化膜 216 を形成する。

#### 【0149】

こうして、シリコン酸化膜 216/SiC 膜 214 の積層構造を有する層間絶縁膜 218 を形成する (図 15 (a) を参照)。

## 【0150】

次いで、フォトリソグラフィ及びドライエッチングにより、シリコン酸化膜 216 及び SiC 膜 214 に、上層配線部 16 の配線層 212a に達するコンタクトホール 220 を形成する。

## 【0151】

次いで、例えば CVD 法により、例えば膜厚 50 nm の TiN 膜と、例えば 300 nm の W 膜とを形成する。

## 【0152】

次いで、例えば CMP 法により、シリコン酸化膜 216 の表面が露出するまで、W 膜及び TiN 膜を平坦に除去し、コンタクトホール 220 内に埋め込まれ、TiN 膜及び W 膜よりなるコンタクトプラグ 222 を形成する（図 15 (b) を参照）。

## 【0153】

次いで、コンタクトプラグ 222 が埋め込まれた層間絶縁膜 218 上に、例えば CVD 法により、金属膜を形成する。金属膜は、例えば、TiN 膜と Al（アルミニウム）膜と TiN 膜とが順次積層されたものとして行うことができる。次いで、この金属膜をパターニングすることにより、コンタクトプラグ 222 に接続する電極 224 を形成する（図 15 (c) を参照）。

## 【0154】

次いで、電極 224 が形成された層間絶縁膜 218 上に、例えば CVD 法により、例えば膜厚 1400 nm のシリコン酸化膜 226a と、例えば膜厚 500 nm のシリコン窒化膜 226b と順次形成し、シリコン酸化膜 226a とシリコン窒化膜 226b との積層膜よりなるカバー膜 226 を形成する（図 16 (a) を参照）。

## 【0155】

次いで、フォトリソグラフィ及びドライエッチングにより、カバー膜 226 に、電極 224 に達する開口部 228 を形成する（図 16 (b) を参照）。

## 【0156】

こうして、図 1 に示す半導体装置が製造される。

## 【0157】

このように、本実施形態によれば、下層配線部 12 及び中間層配線部 14 における層間絶縁膜として low-k 膜を有し、中間層配線部 14 における配線層の配線パターンよりも狭いピッチの配線パターンを有する配線層が形成された下層配線部 12 では low-k 膜上にシリコン酸化膜よりなる親水性絶縁膜が形成されているのに対し、下層層配線部 12 における配線層の配線パターンよりも広いピッチの配線パターンを有する配線層が形成された中間層配線部 14 では low-k 膜上に拡散防止膜として機能する SiC 膜が直に形成され親水性絶縁膜が形成されていないので、多層配線構造における配線層の機能に応じて、中間層配線部 14 における配線層の配線パターンよりも狭いピッチの配線パターンを有する配線層が形成される下層配線部 12 では異物の付着による不良の発生の抑制しつつ配線容量を低減する一方、下層配線層部 12 における配線層の配線パターンよりも広いピッチの配線パターンを有する配線層が形成される中間層配線部 14 では配線容量を十分に低減することができる。

## 【0158】

## [変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

## 【0159】

例えば、上記実施形態では、low-k 膜として SiOC 膜を用いる場合について説明したが、low-k 膜は SiOC 膜に限らず、種々の low-k 材料よりなる膜を用いることができる。low-k 膜として、SiOC のほか、例えば、ダウ・ケミカル社製の SiLK（登録商標）、ハネウェル社製の FLARE（登録商標）、BCB（benzocyclobutene：ベンゾシクロブテン）等よりなる膜を用いることができる。また、low-k 膜として、膜中に微細な空孔を有する多孔質シリコン酸化膜を用いることもできる。

## 【0160】

また、上記実施形態では、low-k膜上に形成する親水性絶縁膜としてシリコン酸化膜を用いる場合について説明したが、親水性絶縁膜はシリコン酸化膜に限定されるものではない。親水性絶縁膜としては、シリコン酸化膜のほか、例えば、FSG膜を用いることができる。

## 【0161】

また、上記実施形態では、エッチングストップ膜及びCuの拡散防止膜として機能する膜としてSiC膜を用いる場合について説明したが、エッチングストップ膜及びCuの拡散防止膜として機能する膜は、SiC膜に限定されるものではない。エッチングストップ膜及びCuの拡散防止膜として機能する膜としては、SiC膜のほか、例えば、シリコン窒化膜を用いることができる。

## 【0162】

また、上記実施形態では、ビアホール内、配線溝内にTa膜よりなるバリアメタル層及びCu膜を埋め込んで配線層を形成する場合について説明したが、配線層は、Ta膜及びCu膜のほか、種々の導電体膜を埋め込んで形成することができる。配線層の主材料としては、Cuのほか、Al等の種々の導電体を用いることができる。また、配線の主材料となる金属の拡散を防止するバリアメタル層としては、Ta膜のほか、例えば、Ta<sub>2</sub>N<sub>5</sub>（窒化タンタル）膜、Ti（チタン）膜、TiN（窒化チタン）膜等を用いることができる。

## 【0163】

また、上記実施形態では、下層配線部12に5層の配線層、中間層配線部14に2層の配線層、及び上層配線部16に2層の配線層をそれぞれ形成する場合について説明したが、各配線部に形成する層数は必要に応じて適宜設計変更することができる。

## 【0164】

また、上記実施形態では、デュアルダマシンプロセスによりビアホール内及び配線溝内にTa膜及びCu膜を同時に埋め込む場合について説明したが、シングルダマシンプロセスによりビアホール及び配線溝を別々に形成し、これらにTa膜及びCu膜を別々に埋め込んでもよい。この場合において、下層配線部12では、low-k膜と、low-k膜上に形成された親水性絶縁膜を有する層間絶縁膜を形成し、この層間絶縁膜にビアホールを形成する。次いで、上記実施形態において第1層目の配線溝38a、38b内に配線層44a、44bを埋め込んだ場合と同様に、ビアホール内に導電体膜を埋め込む。このようにビアホール内に導電体膜を埋め込んだ後にも親水性絶縁膜が表面に露出することとなるので、ビアホールの埋め込み後にも、HF処理により異物のリフトオフを十分に行うことができ、また、腐食の原因となるウォータマークの発生を抑制することができる。

## 【0165】

また、上記実施形態では、配線溝及び配線層間を接続するビアホールに導電体膜を埋め込む場合について説明したが、配線溝及びビアホールのほか、ダミーパターン等の種々の開口部に導電体膜を埋め込む場合にも本発明を適用することができる。

## 【0166】

また、上記実施形態では、下層配線部12、中間層配線部14、及び上層配線部16について、同一配線部における各配線層の配線パターンのピッチが互いに等しい場合について説明したが、必要に応じて、同一配線部における各配線層の配線パターンのピッチ間にも大小を適宜設けることができる。この場合においては、中間層配線部14における配線層の配線パターンの最小のピッチが、下層配線部12における配線層の配線パターンの最小のピッチよりも広がっていればよい。また、上層配線部16における配線層の配線パターンの最小のピッチは、下層配線部12及び中間層配線部14における配線層の配線パターンの最小のピッチよりも広がっていればよい。

## 【0167】

(付記1)

基板上に形成され、第1の低誘電率膜と、前記第1の低誘電率膜上に形成された親水性絶縁膜とを有する第1の層間絶縁膜と、



前記第1の層間絶縁膜に形成された第1の配線溝内に埋め込まれ、最小の配線ピッチが第1のピッチである第1の配線層と、

前記第1の層間絶縁膜上に形成され、第2の低誘電率膜を有する第2の層間絶縁膜と、  
前記第2の層間絶縁膜に形成された第2の配線溝内に埋め込まれ、最小の配線ピッチが前記第1のピッチよりも広い第2のピッチである第2の配線層と、

前記第2の低誘電率膜及び前記第2の配線層上に直に形成された拡散防止膜とを有することを特徴とする半導体装置。

【0168】

(付記2)

付記1記載の半導体装置において、

前記第2の層間絶縁膜上に形成され、前記第1の低誘電率膜及び前記第2の低誘電率膜よりも誘電率の高い絶縁膜を有する第3の層間絶縁膜と、

前記第3の層間絶縁膜に形成された第3の配線溝内に埋め込まれ、最小の配線ピッチが前記第1のピッチ及び前記第2のピッチよりも広い第3のピッチである第3の配線層とを更に有する

ことを特徴とする半導体装置。

【0169】

(付記3)

付記1又は2記載の半導体装置において、

前記親水性絶縁膜及び前記第1の配線層上に直に形成された拡散防止膜を更に有することを特徴とする半導体装置。

【0170】

(付記4)

付記1乃至3のいずれかに記載の半導体装置において、

前記第2のピッチは、前記第1のピッチの1.5倍以上であることを特徴とする半導体装置。

【0171】

(付記5)

付記1乃至4のいずれかに記載の半導体装置において、

前記低誘電率膜は、SiOC膜、SiLK膜、BCB膜、FLARE膜、又は多孔質シリコン酸化膜である

ことを特徴とする半導体装置。

【0172】

(付記6)

付記1乃至5のいずれかに記載の半導体装置において、

前記配線層は、前記層間絶縁膜に形成されたビアホール内、及び前記層間絶縁膜の前記ビアホールを含む領域上に形成された前記配線溝内に埋め込まれている

ことを特徴とする半導体装置。

【0173】

(付記7)

付記1乃至6のいずれかに記載の半導体装置において、

前記配線層の主材料は、Cu又はAlである

ことを特徴とする半導体装置。

【0174】

(付記8)

基板上に形成され、最小の配線ピッチが第1のピッチである複数の配線層を含む第1の多層配線層と、

前記第1の多層配線層上に形成され、最小の配線ピッチが前記第1のピッチよりも広い第2のピッチである複数の配線層を含む第2の多層配線層とを有する半導体装置であって、

前記第1の多層配線層を構成する前記複数の配線層のうちの少なくとも1層は、第1の低誘電率膜と、前記第1の低誘電率膜上に形成された親水性絶縁膜とを有する第1の層間絶縁膜に形成された開口部に埋め込まれており、

前記第2の多層配線層を構成する前記複数の配線層のそれぞれは、拡散防止膜と、前記拡散防止膜上に形成された第2の低誘電率膜とを有する第2の層間絶縁膜に形成された開口部に埋め込まれており、

一の前記第2の層間絶縁膜の前記第2の低誘電率膜上に、他の前記第2の層間絶縁膜の前記拡散防止膜が直に形成されている

ことを特徴とする半導体装置。

【0175】

(付記9)

付記8記載の半導体装置において、

前記第2の多層配線層上に形成され、最小の配線ピッチが前記第1のピッチ及び前記第2のピッチよりも広い第3のピッチである複数の配線層を含む第3の多層配線層を更に有し、

前記第3の多層配線層を構成する前記複数の配線層は、前記第1の低誘電率膜及び前記第2の低誘電率膜よりも誘電率の高い絶縁膜を有する第3の層間絶縁膜に形成された開口部に埋め込まれている

ことを特徴とする半導体装置。

【0176】

(付記10)

基板上に、第1の低誘電率膜と、前記第1の低誘電率膜上に形成された第1の親水性絶縁膜とを有する第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜に、第1の配線溝を形成する工程と、

前記第1の配線溝が形成された前記第1の層間絶縁膜上に第1の導電体膜を形成する工程と、

前記第1の導電体膜を研磨することにより、前記第1の親水性絶縁膜を露出するとともに、前記第1の配線溝内に前記第1の導電体膜を埋め込み、最小の配線ピッチが第1のピッチである第1の配線層を形成する工程と、

前記第1の層間絶縁膜上に、第2の低誘電率膜を有する第2の層間絶縁膜を形成する工程と、

前記第2の層間絶縁膜に、第2の配線溝を形成する工程と、

前記第2の配線溝が形成された前記第2の層間絶縁膜上に、第2の導電体膜を形成する工程と、

前記第2の導電体膜を研磨することにより、前記第2の低誘電率膜を露出するとともに、前記第2の配線溝内に前記第2の導電体膜を埋め込み、最小の配線ピッチが前記第1のピッチよりも広い第2のピッチである第2の配線層を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【0177】

(付記11)

付記10記載の半導体装置の製造方法において、

前記第2の配線層を形成する工程の後に、前記第2の低誘電率膜及び前記第2の配線層上に、拡散防止膜を直に形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【0178】

(付記12)

付記10又は11記載の半導体装置の製造方法において、

前記第1の導電体膜を形成する工程では、バリアメタル層と、前記バリアメタル層上に形成された金属膜とを有する前記第1の導電体膜を形成し、

前記第1の配線層を形成する工程では、前記バリアメタル層に対して選択的に前記金属

膜を研磨し、前記バリアメタル層の表面で研磨を停止し、次いで、前記バリアメタル層を研磨することにより、前記第 1 の親水性絶縁膜を露出する

ことを特徴とする半導体装置の製造方法。

【0 1 7 9】

(付記 1 3)

付記 1 0 乃至 1 2 のいずれかに記載の半導体装置の製造方法において、

前記第 2 の層間絶縁膜を形成する工程は、前記第 2 の低誘電率膜上に第 2 の親水性絶縁膜を形成する工程を有し、

前記第 2 の配線層を形成する工程では、前記第 2 の導電体膜及び前記第 2 の親水性絶縁膜を研磨することにより、前記第 2 の低誘電率膜を露出する

ことを特徴とする半導体装置の製造方法。

【0 1 8 0】

(付記 1 4)

付記 1 3 記載の半導体装置の製造方法において、

前記第 2 の導電体膜を形成する工程では、バリアメタル層と、前記バリアメタル層上に形成された金属膜とを有する前記第 2 の導電体膜を形成し、

前記第 2 の配線層を形成する工程では、前記バリアメタル層に対して選択的に前記金属膜を研磨し、前記バリアメタル層の表面で研磨を停止し、次いで、前記バリアメタル層と前記第 2 の親水性絶縁膜とを研磨することにより、前記第 2 の低誘電率膜を露出する

ことを特徴とする半導体装置の製造方法。

【0 1 8 1】

(付記 1 5)

付記 1 3 又は 1 4 記載の半導体装置の製造方法において、

前記第 1 の層間絶縁膜を形成する工程では、前記第 2 の親水性絶縁膜よりも厚い膜厚で前記第 1 の親水性絶縁膜を形成する

ことを特徴とする半導体装置の製造方法。

【0 1 8 2】

(付記 1 6)

付記 1 0 乃至 1 5 のいずれかに記載の半導体装置の製造方法において、

前記第 1 の配線溝内に前記第 1 の導電膜を埋め込む工程の後に、H F 処理により異物を除去する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【図面の簡単な説明】

【0 1 8 3】

【図 1】 ウォータマークによる配線の腐食を示す S E M 写真である。

【図 2】 本発明の一実施形態による半導体装置の構造を示す断面図である。

【図 3】 本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 4】 本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 5】 本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 6】 本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 7】 本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 8】 本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

【図 9】 本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 7）である。

【図 10】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 8）である。

【図 11】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 9）である。

【図 12】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 10）である。

【図 13】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 11）である。

【図 14】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 12）である。

【図 15】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 13）である。

【図 16】本発明の一実施形態による半導体装置の製造方法を示す工程断面図（その 14）である。

【図 17】従来の多層配線構造を有する半導体装置の構造を示す断面図である。

【符号の説明】

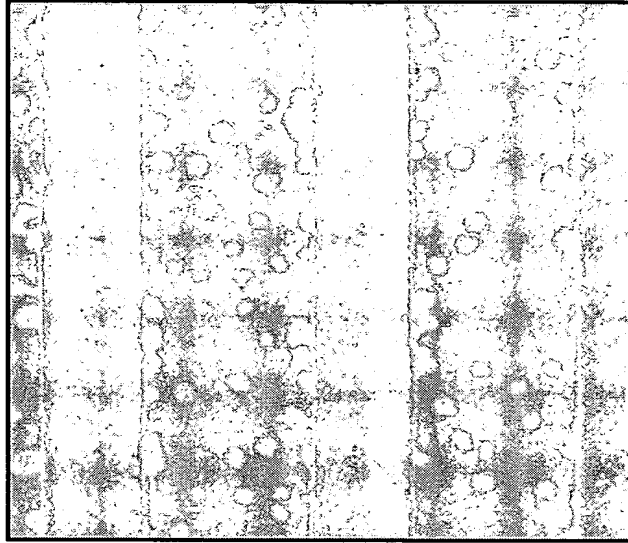
【0184】

- 10…シリコン基板
- 12…下層配線部
- 14…中間層配線部
- 16…上層配線部
- 18…素子分離膜
- 20…ゲート電極
- 22…ソース／ドレイン拡散層
- 24…層間絶縁膜
- 26…ビアホール
- 28…コンタクトプラグ
- 30、46、50、68、72、90、94、112、116…SiC膜
- 32、48、52、70、74、92、96、114、118…low-k膜
- 34、54、76、98、120…親水性絶縁膜
- 36、56、78、100、122…層間絶縁膜
- 38a、38b、60a、60b、82a、82b、104a、104b、126a、126b…配線溝
- 40、62、84、106、128…バリアメタル層
- 42、64、86、108、130…Cu膜
- 44a、44b、66a、66b、88a、88b、110a、110b、132a、132b…配線層
- 58、80、102、124…ビアホール
- 134、138、154、158…SiC膜
- 136、140、156、160…low-k膜
- 142、162…層間絶縁膜
- 144、164…ビアホール
- 146a、146b、166a、166b…配線溝
- 148、168…バリアメタル層
- 150、170…Cu膜
- 152a、152b、172a、172b…配線層
- 174、178、194、198…SiC膜
- 176、180、196、200…シリコン酸化膜
- 182、202…層間絶縁膜
- 184、204…ビアホール

1 8 6 a、1 8 6 b、2 0 6 a、2 0 6 b…配線溝  
1 8 8、2 0 8…バリアメタル層  
1 9 0、2 1 0…C u 膜  
1 9 2 a、1 9 2 b、2 1 2 a、2 1 2 b…配線層  
2 1 4…S i C 膜  
2 1 6…シリコン酸化膜  
2 1 8…層間絶縁膜  
2 2 0…ビアホール  
2 2 2…コンタクトプラグ  
2 2 4…電極  
2 2 6…カバー膜  
2 2 6 a…シリコン酸化膜  
2 2 6 b…シリコン窒化膜  
2 2 8…開口部  
2 3 2、2 3 6、2 4 6、2 5 4…シリコン窒化膜  
2 3 4、2 3 8、2 4 2、2 4 8、2 5 2、2 5 6、2 6 0…フォトリソグレイ膜  
2 4 0、2 5 0、2 5 8…樹脂  
2 4 4…親水性絶縁膜  
3 0 0…シリコン基板  
3 0 2…素子分離膜  
3 0 4…ゲート電極  
3 0 6…ソース／ドレイン拡散層  
3 0 8…コンタクトプラグ  
3 1 0…層間絶縁膜  
3 1 2、3 1 6、3 1 8、3 2 2、3 2 4、3 2 8、3 3 0…層間絶縁膜  
3 1 4 a、3 1 4 b、3 2 0 a、3 2 0 b、3 2 6 a、3 2 6 b、3 3 2 a、3 3 2 b…  
配線層  
3 3 4、3 3 6、3 4 0、3 4 2…層間絶縁膜  
3 3 8 a、3 3 8 b、3 4 4 a、3 4 4 b…配線層  
3 4 6…層間絶縁膜  
3 4 8…コンタクトプラグ  
3 5 0…電極  
3 5 2…カバー膜  
3 5 2 a…シリコン酸化膜  
3 5 2 b…シリコン窒化膜  
3 5 4…開口部

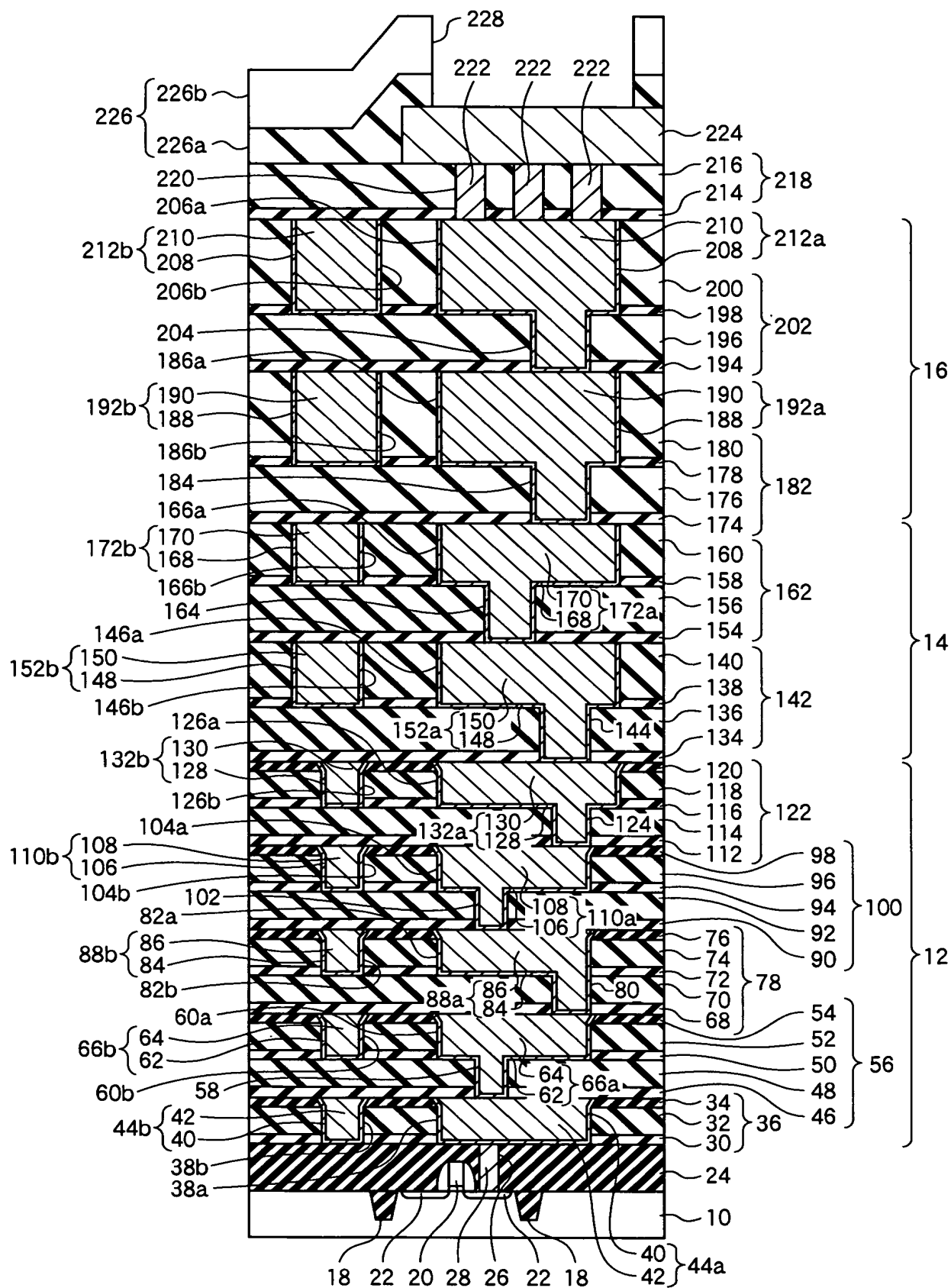
【書類名】 図面  
【図 1】

ウォーターマークによる配線の腐食を示すSEM写真



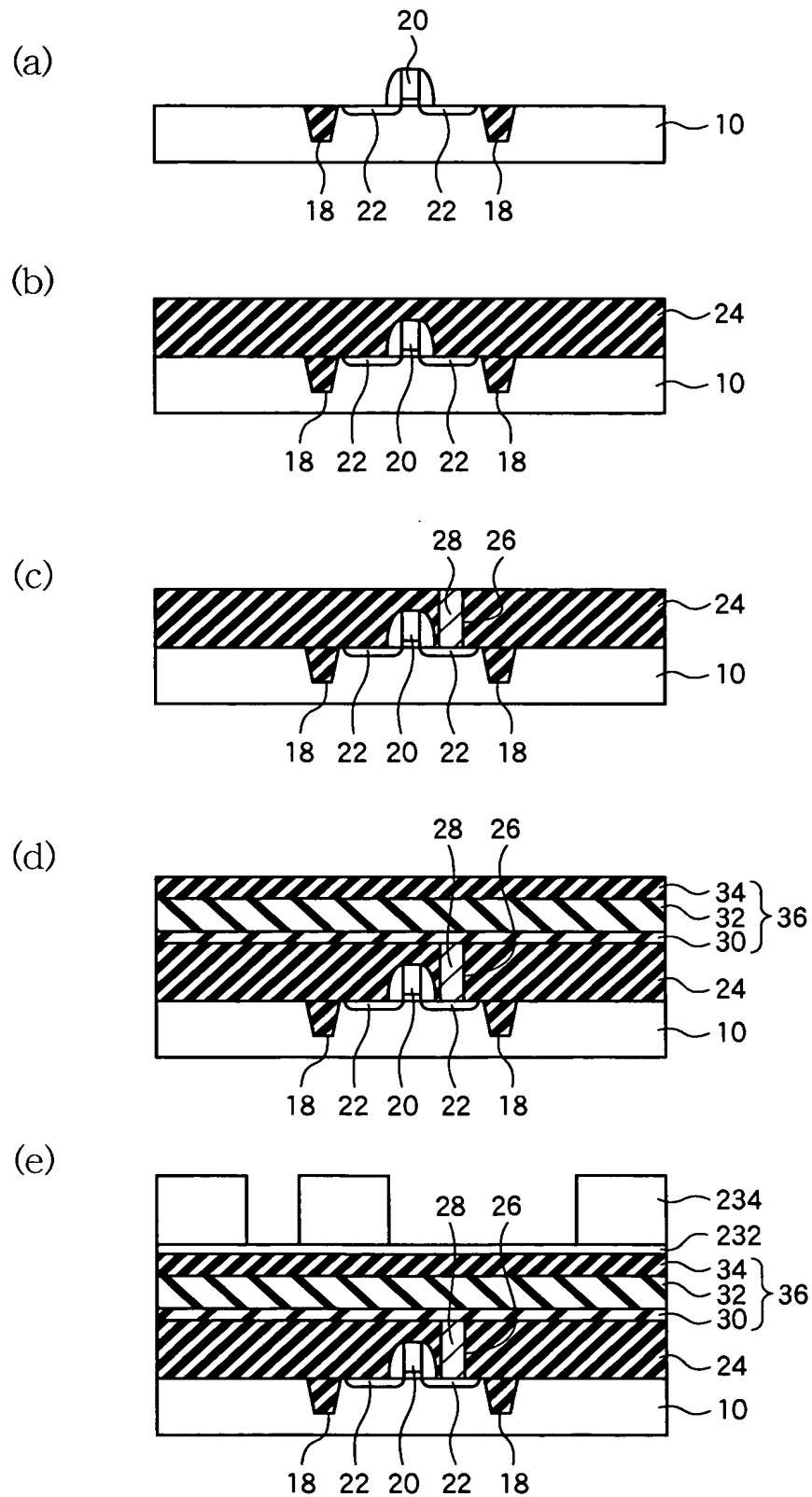
【図 2】

本発明の一実施形態による半導体装置の構造を示す断面図



【図 3】

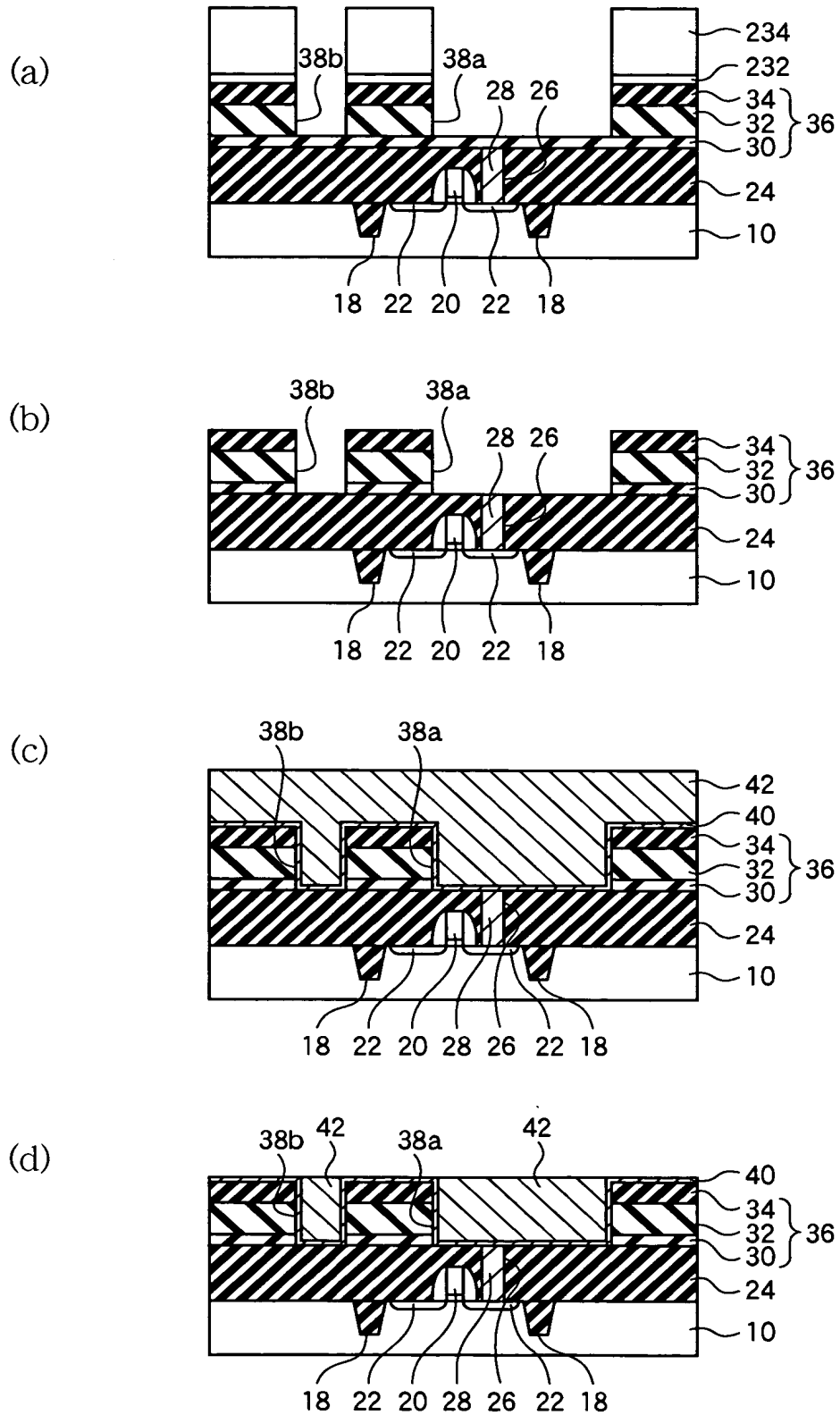
本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その1）





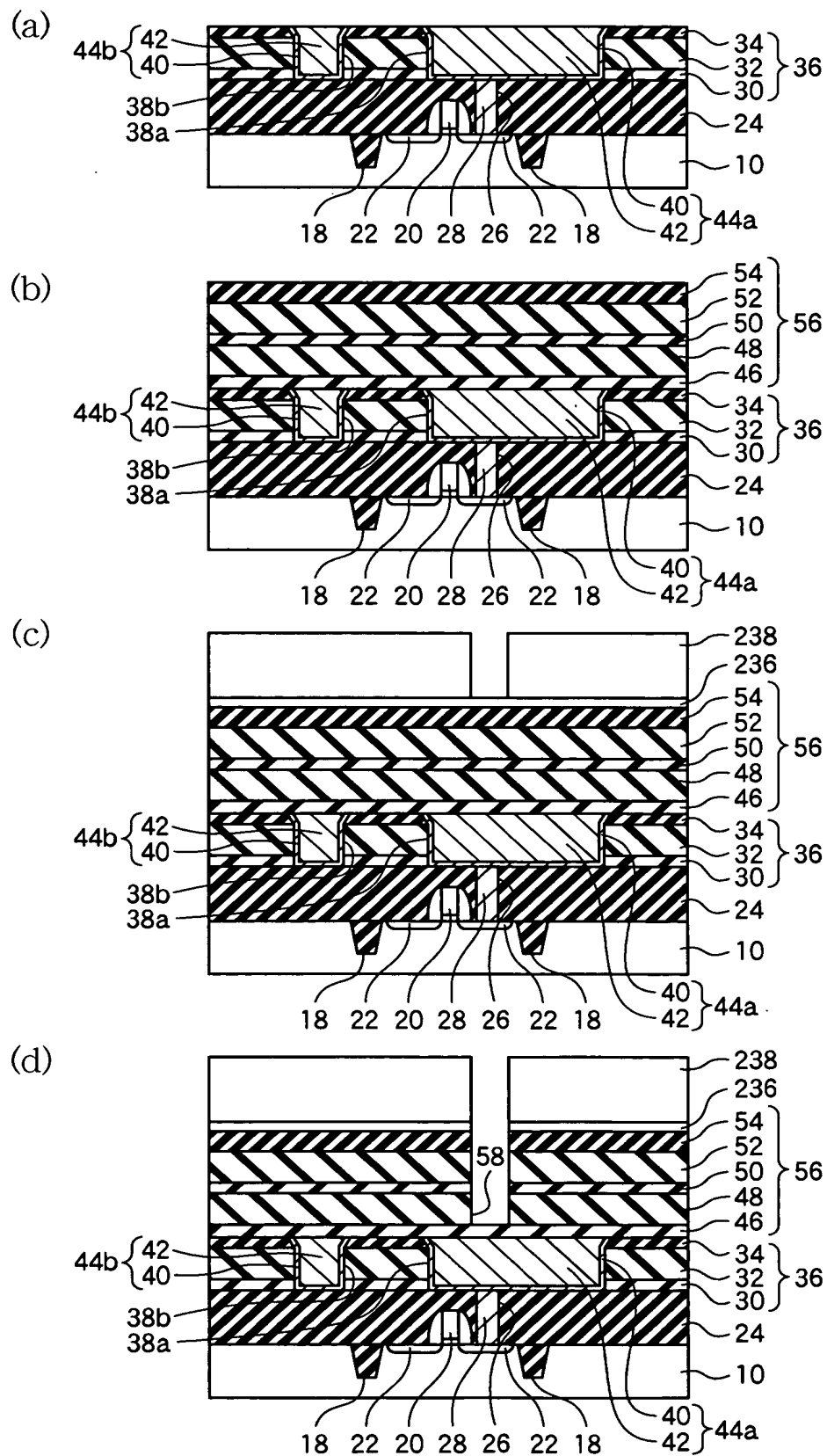
【図 4】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その2）



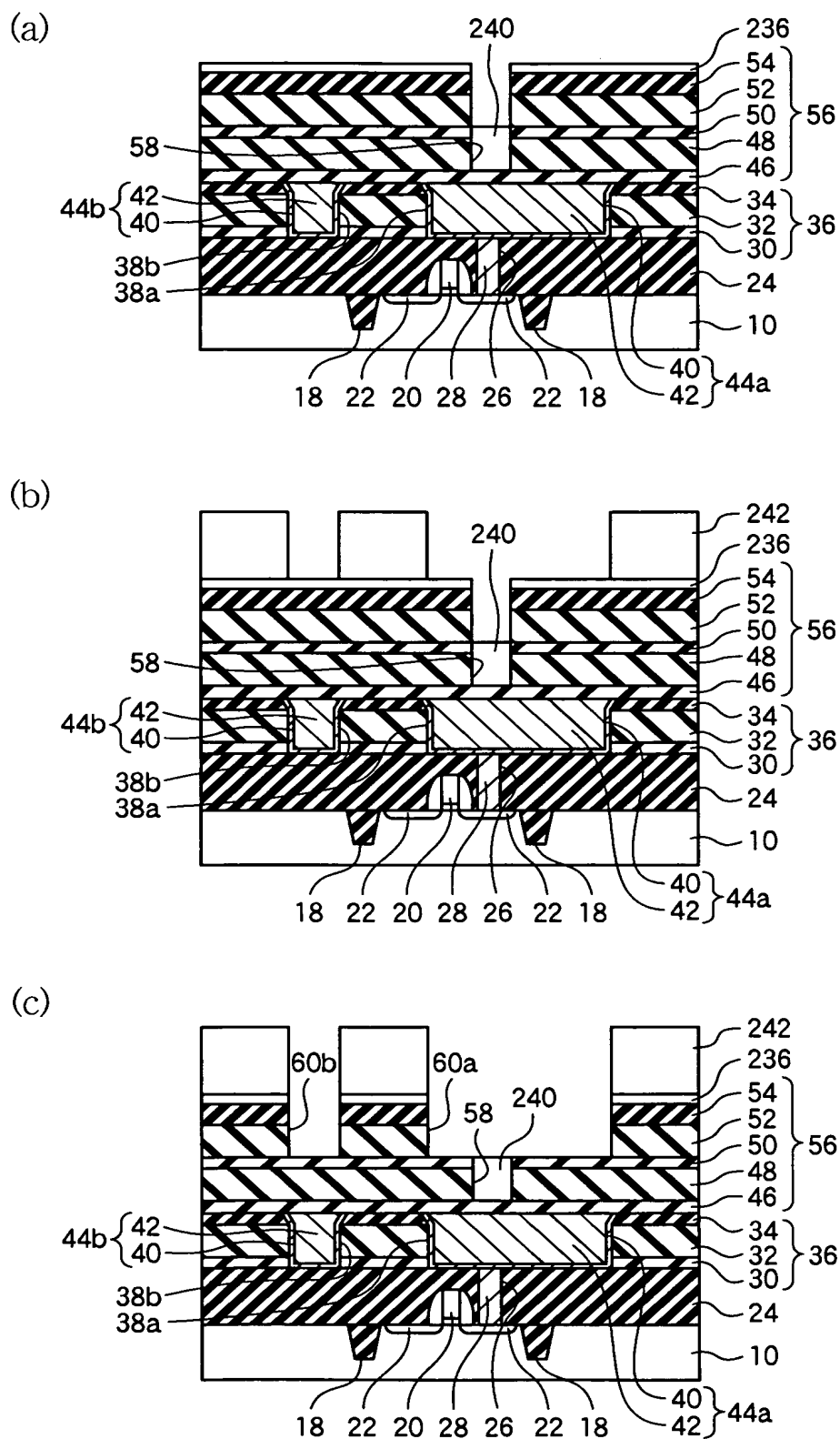
【図 5】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その3）



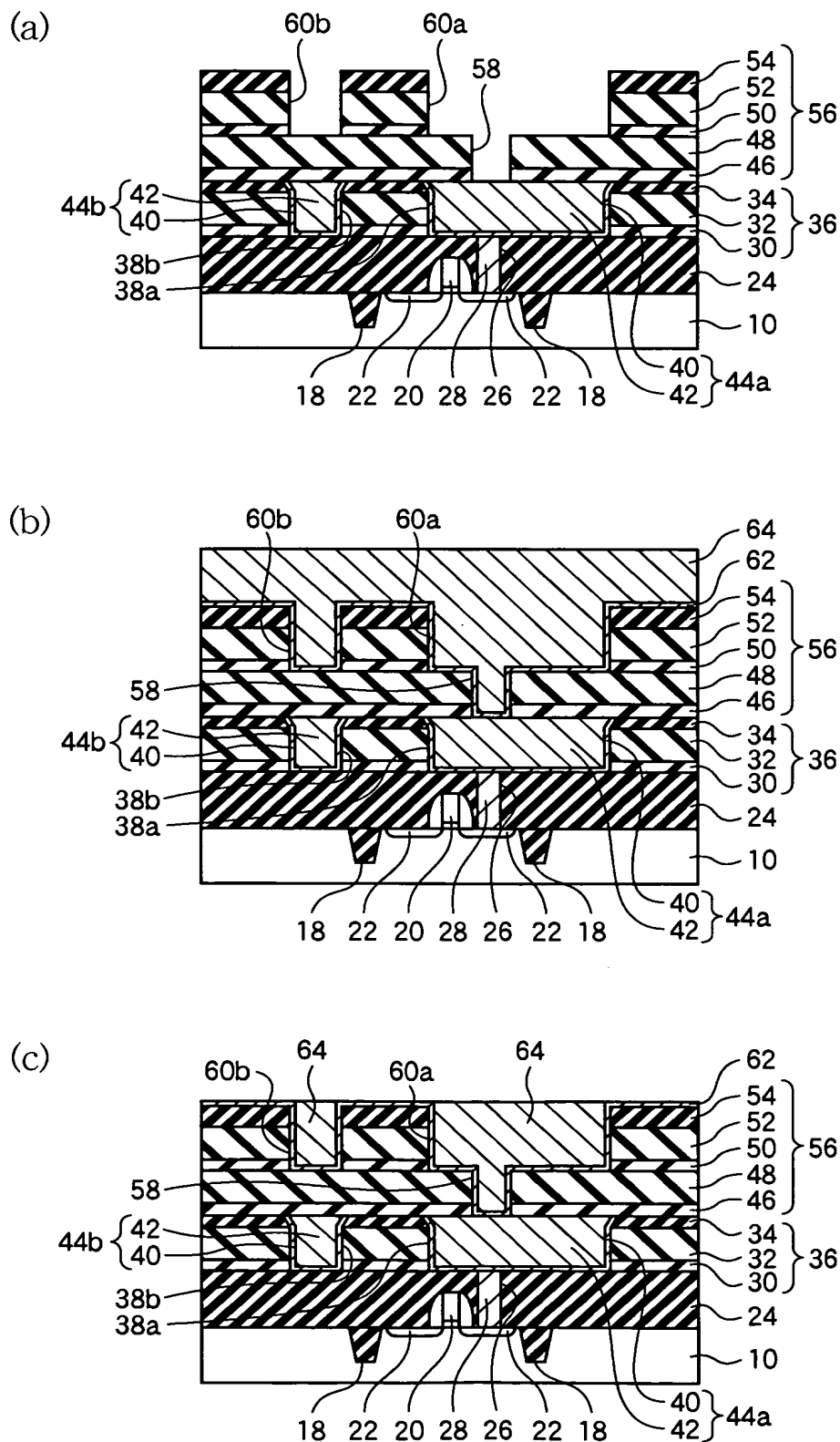
【図 6】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その4）



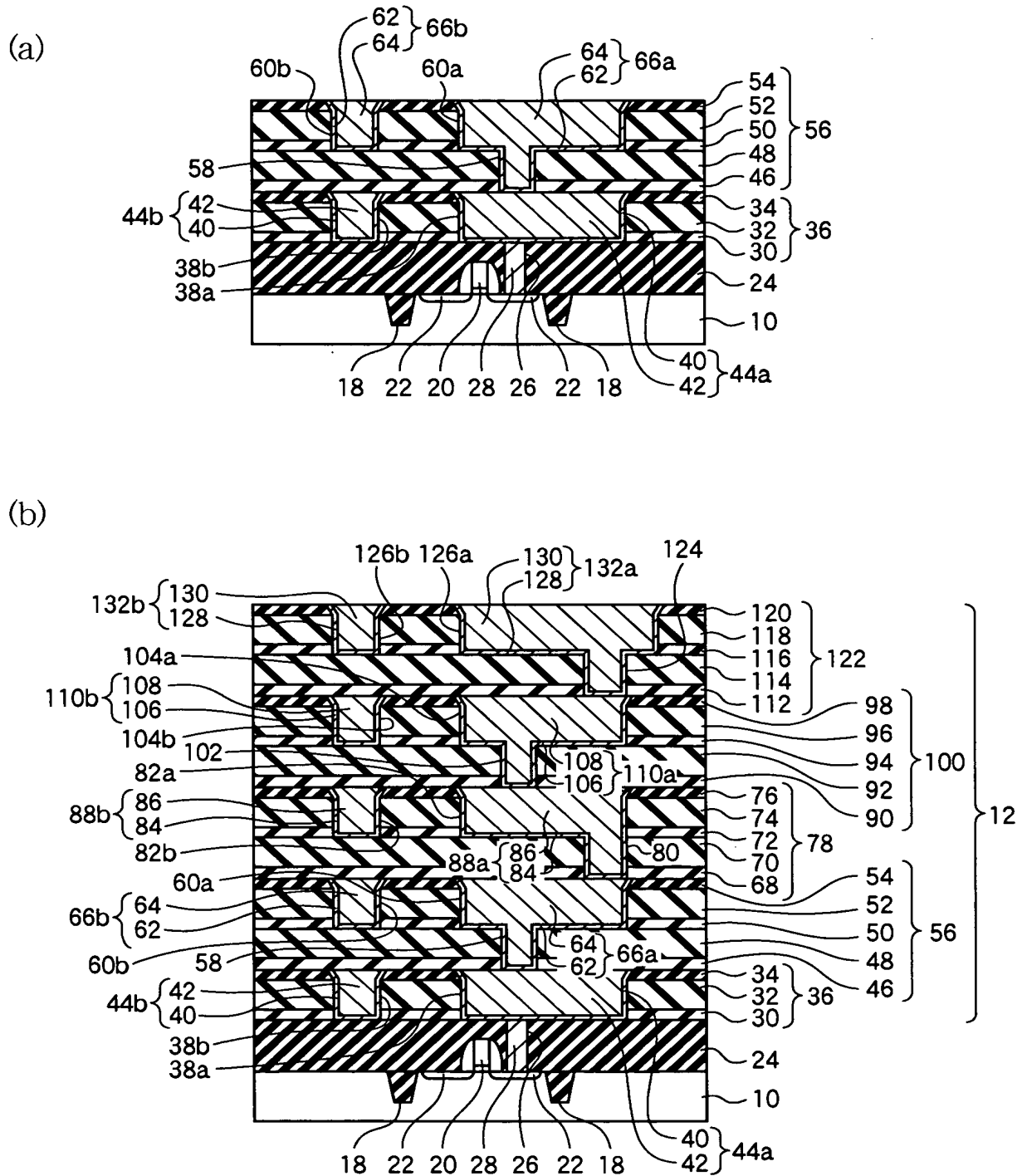
【図 7】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その5）



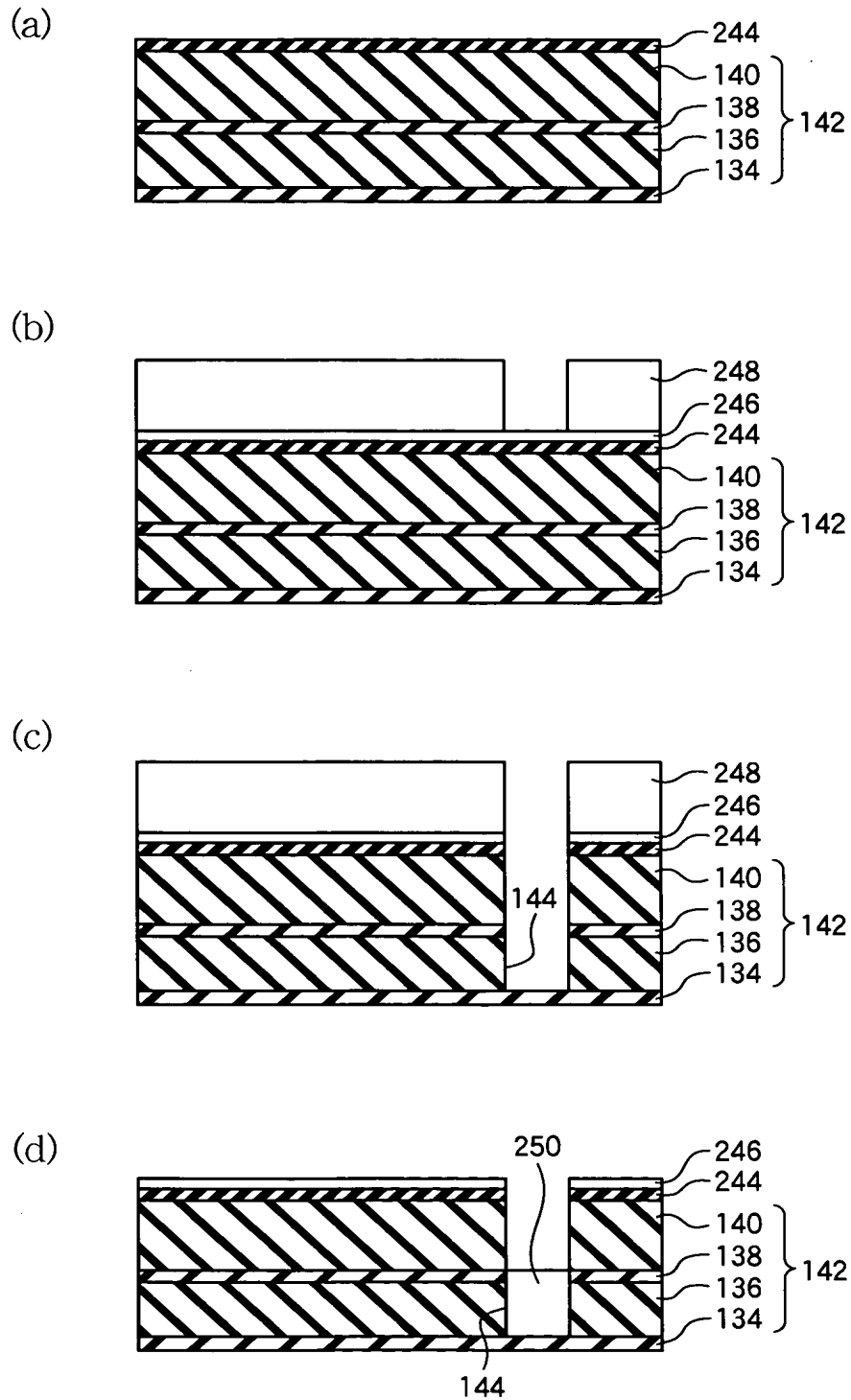
【図 8】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その6）



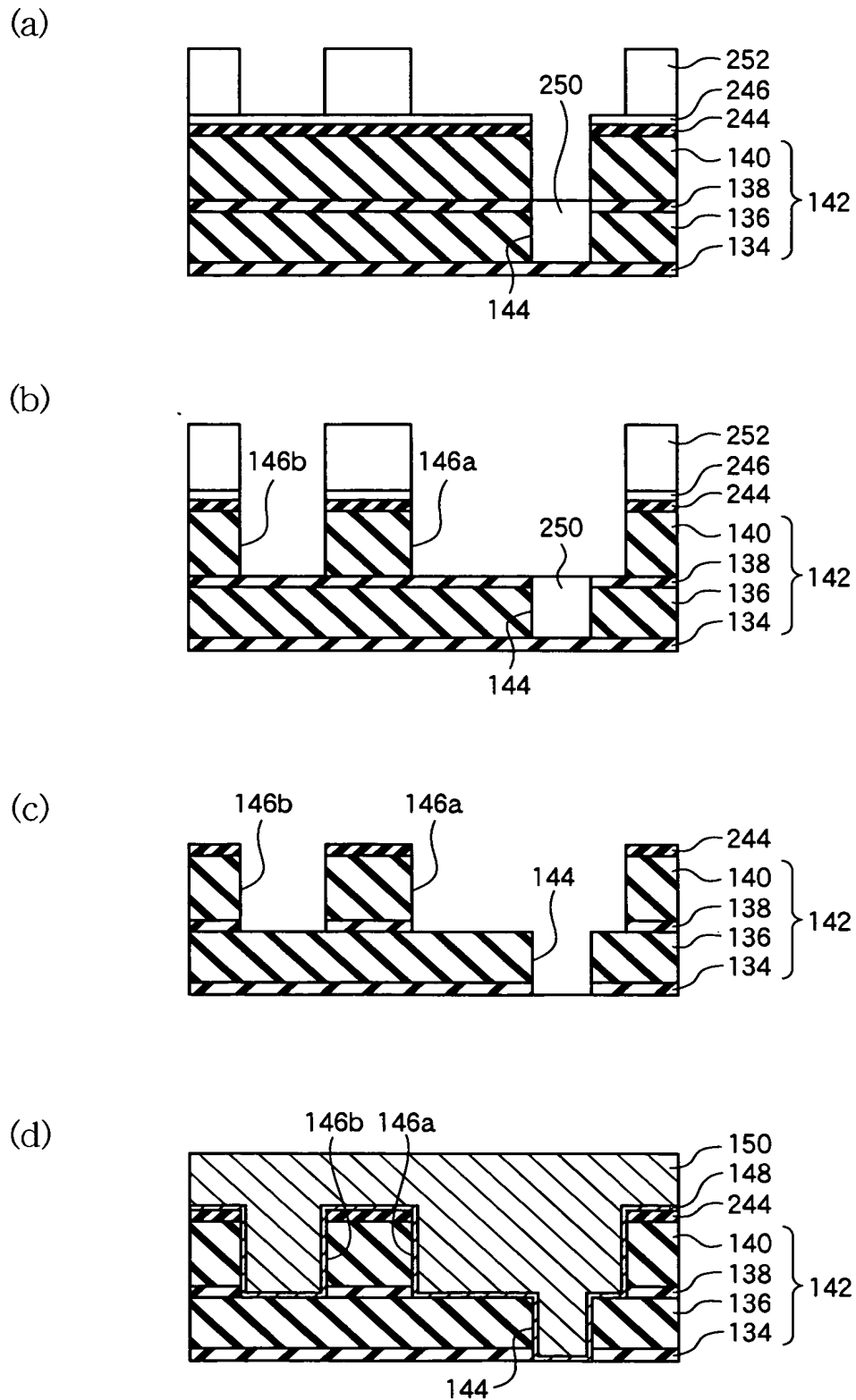
【図 9】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その7）



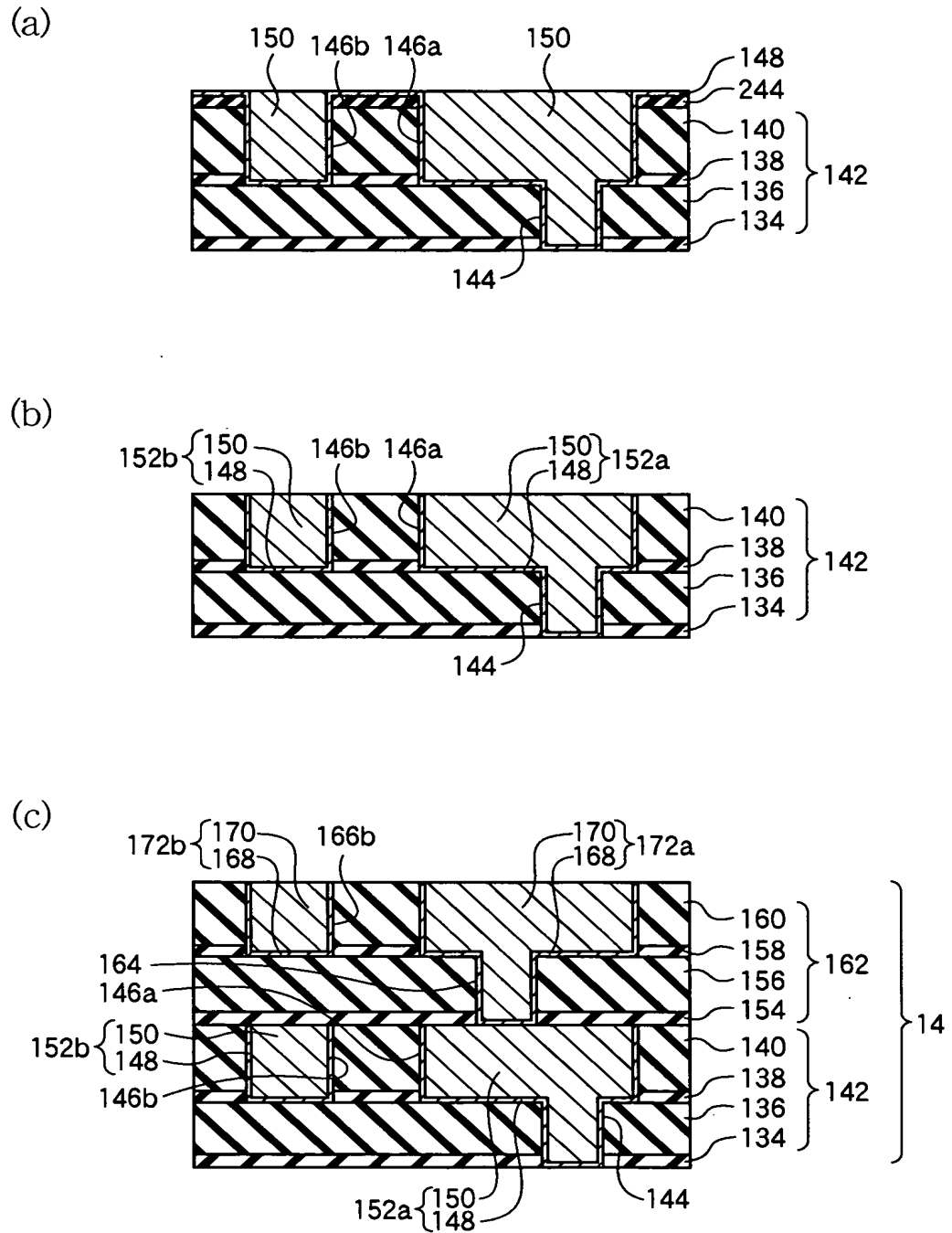
【図 10】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その8）



【図 11】

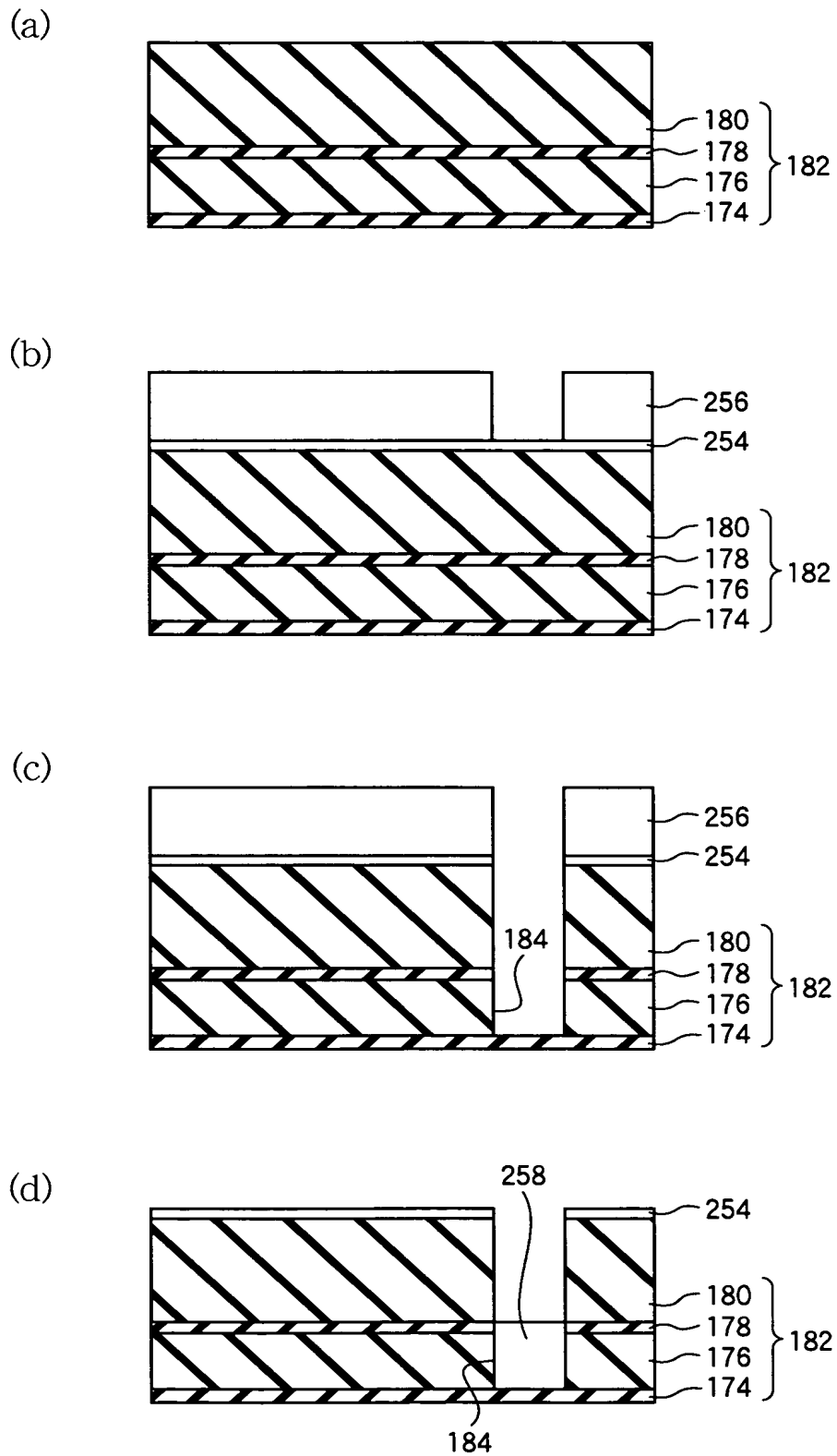
本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その9）





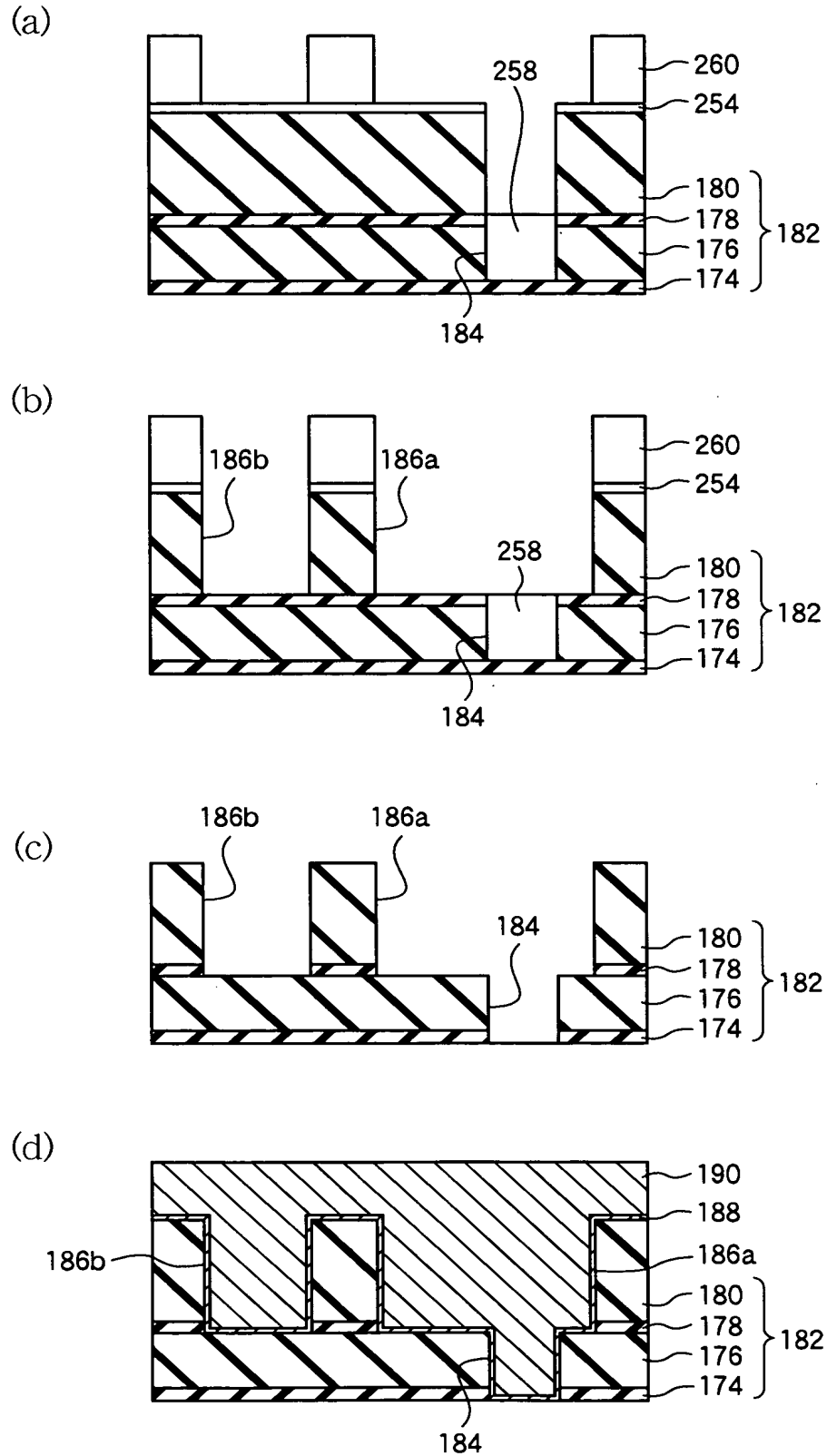
【図 12】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その10）



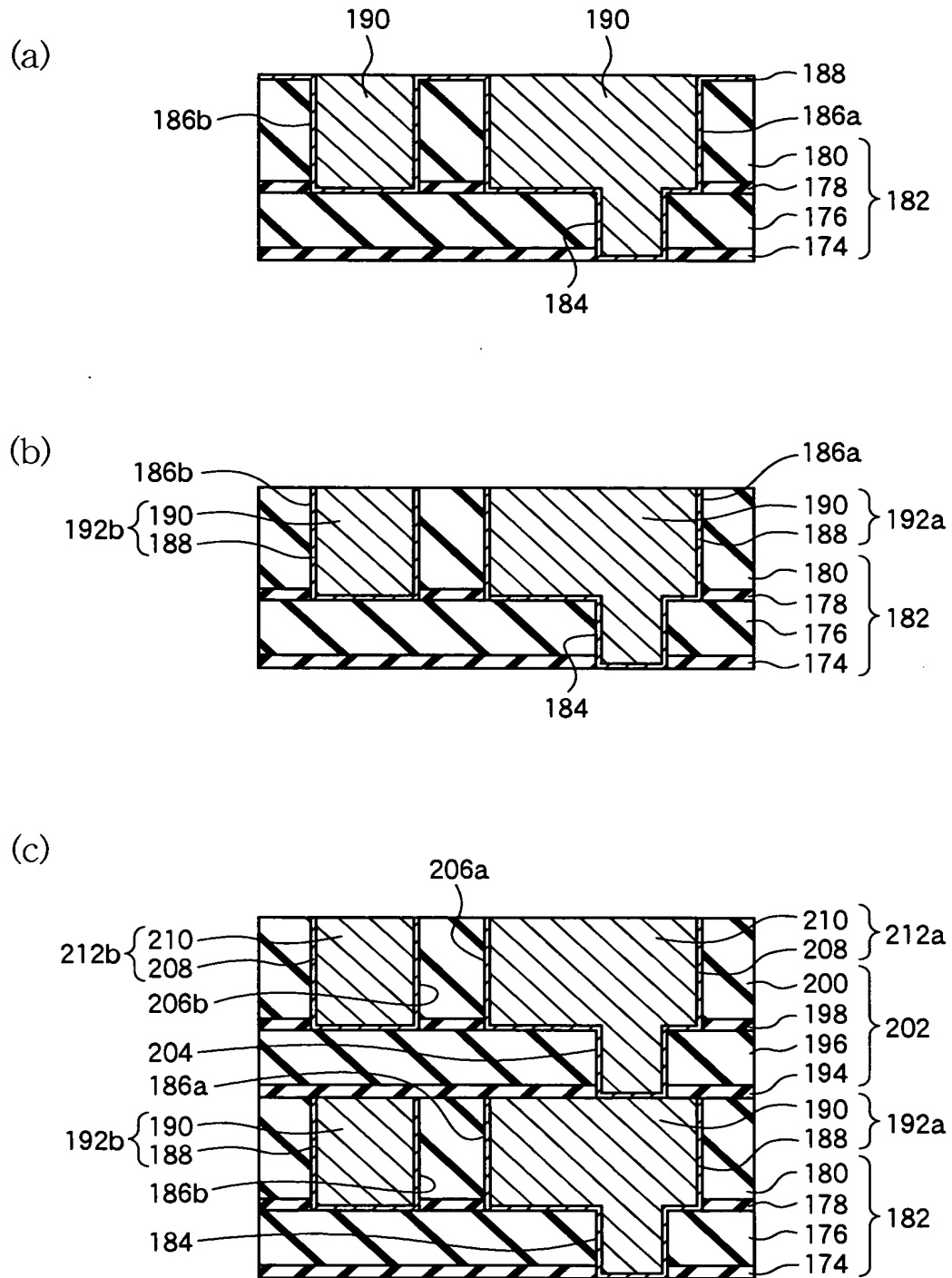
【図 13】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その11）



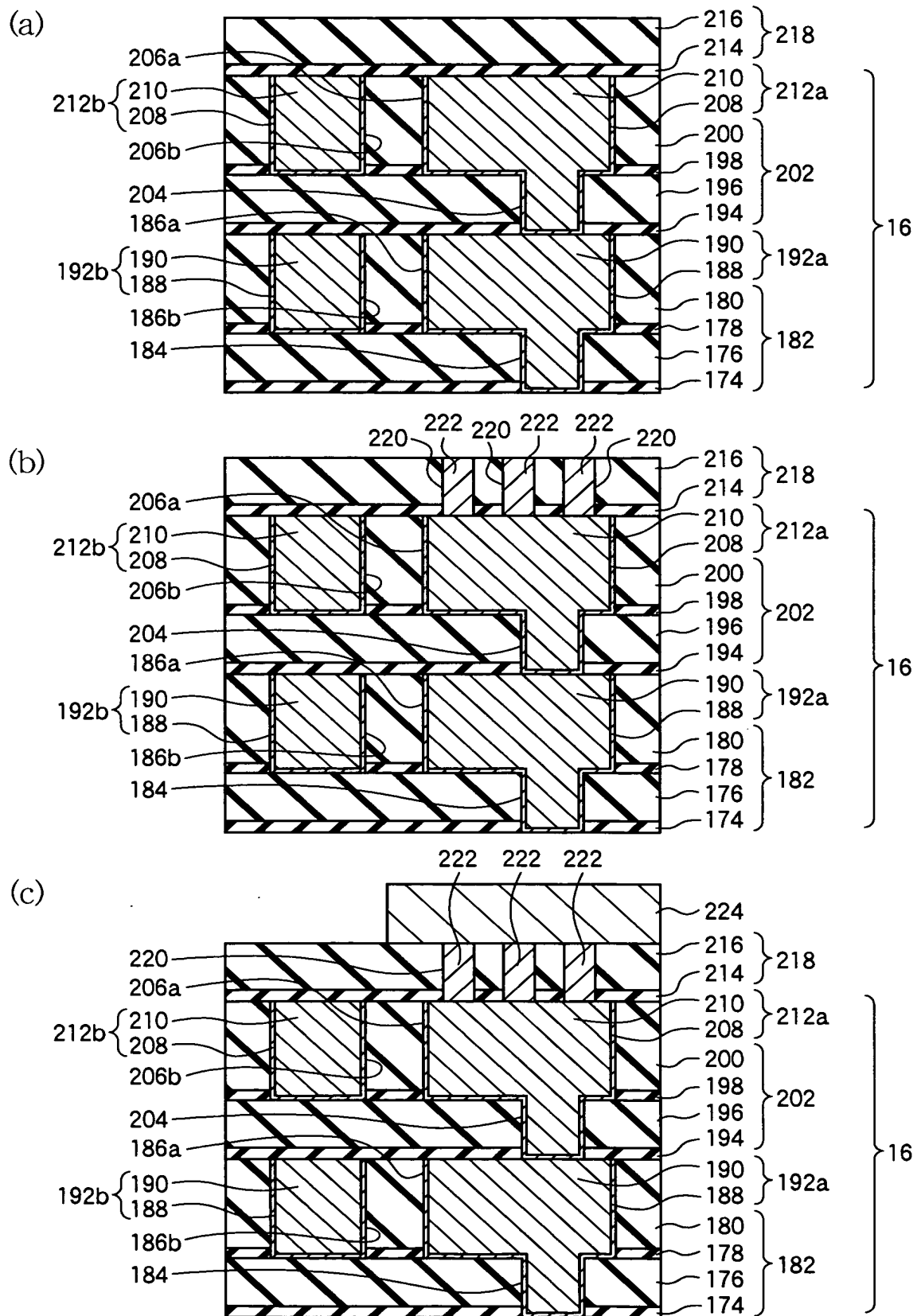
【図 14】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その12）



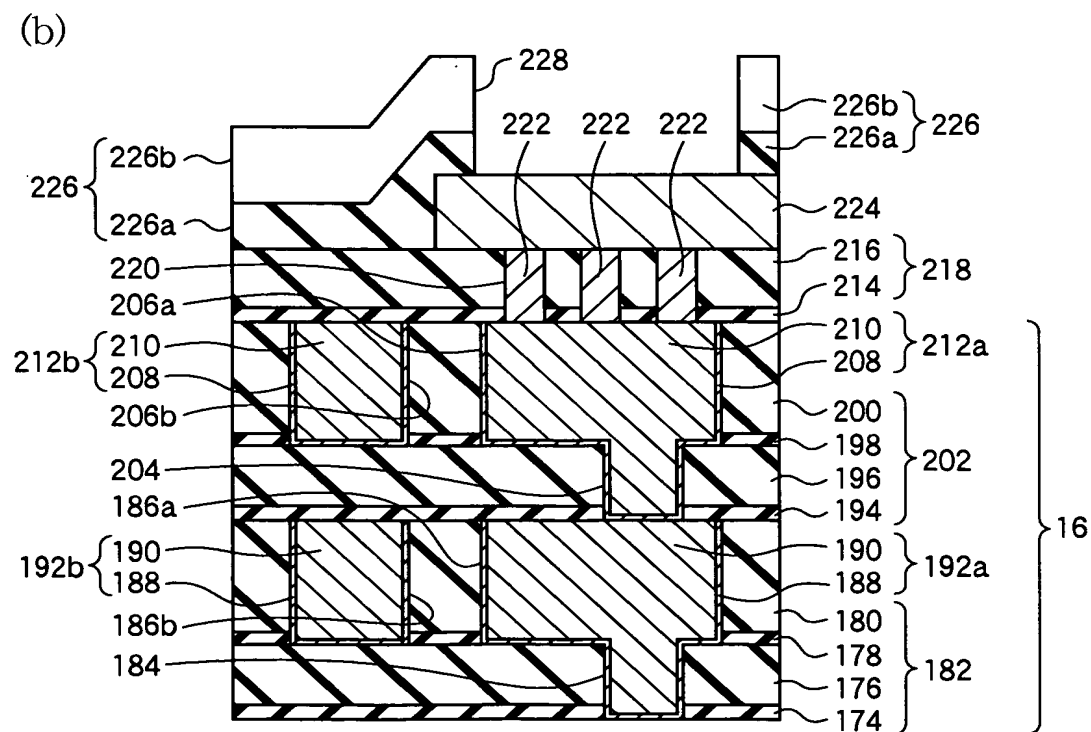
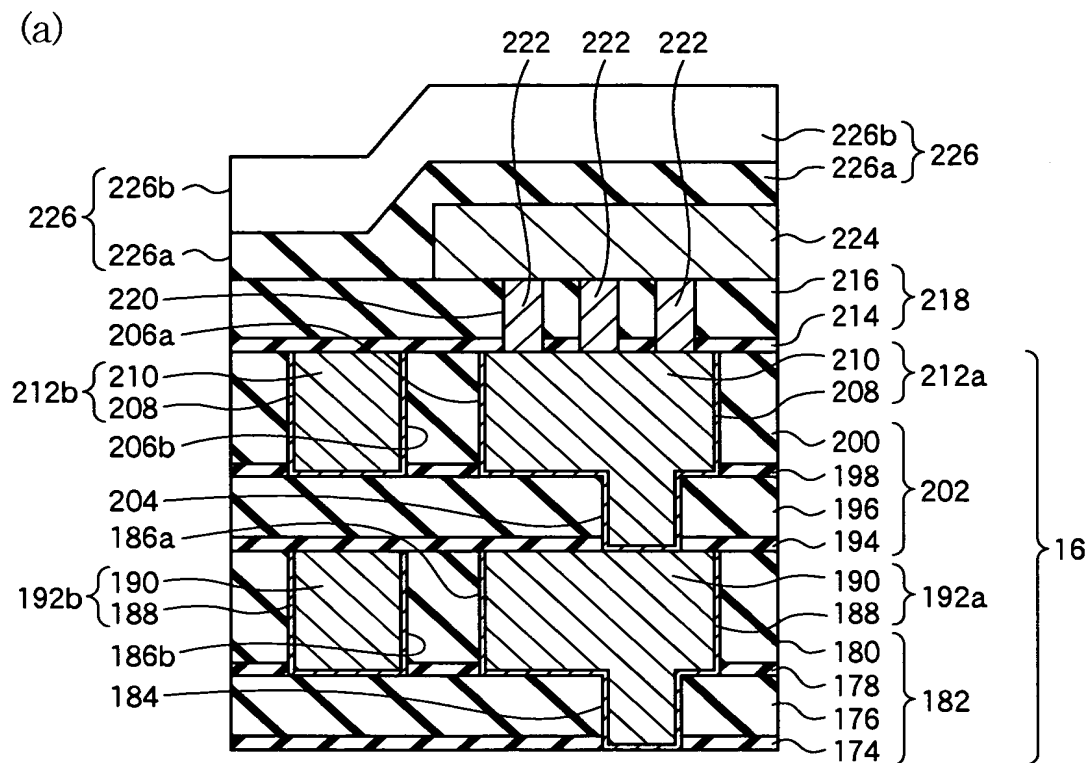
【図 15】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その13）



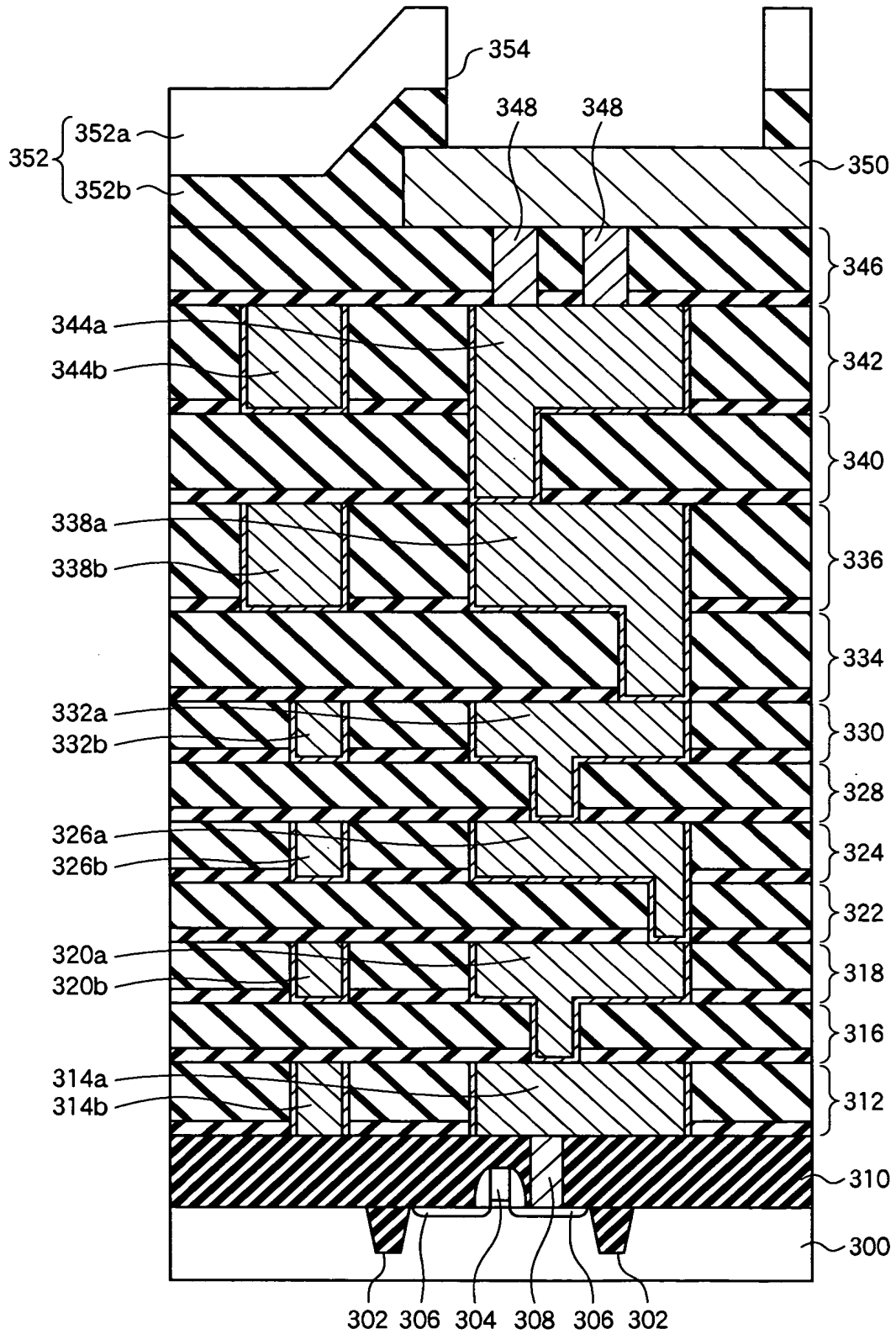
【図 16】

本発明の一実施形態による半導体装置の製造方法を示す  
工程断面図（その14）



【図 17】

従来の多層配線構造を有する半導体装置の構造を示す断面図



## 【書類名】 要約書

## 【要約】

【課題】 多層配線構造における層間絶縁膜に low-k 膜を用いる場合において、配線の機能に応じて、不良の発生の抑制及び配線容量の低減を実現しうる半導体装置及びその製造方法を提供する。

【解決手段】 シリコン基板 10 上に形成され、low-k 膜 32 と、low-k 膜 32 上に形成された親水性絶縁膜 34 とを有する層間絶縁膜 36 と、層間絶縁膜 36 に形成された配線溝 38 a、38 b 内に埋め込まれ、配線ピッチが第 1 のピッチである配線層 44 a、44 b とを含む下層配線部 12 と、下層配線部 12 上に形成され、low-k 膜 136、140 を有する層間絶縁膜 142 と、層間絶縁膜 142 に形成された配線溝 146 a、146 b 内に埋め込まれ、配線ピッチが第 1 のピッチよりも広い第 2 のピッチである配線層 152 a、152 b と、low-k 膜 140 及び配線層 152 a、152 b 上に直に形成された SiC 膜 154 とを含む中間層配線部 14 とを有している。

【選択図】 図 2

特願 2 0 0 3 - 3 7 2 3 0 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社